

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-82524

(43)公開日 平成6年(1994)3月22日

(51)Int.Cl.⁵
G 0 1 R 31/28
G 1 1 C 29/00

識別記号 庁内整理番号
3 0 3 B 6741-5L
6912-2G

F I
G 0 1 R 31/ 28

技術表示箇所
G

審査請求 未請求 請求項の数2(全37頁)

(21)出願番号 特願平4-232003
(22)出願日 平成4年(1992)8月31日

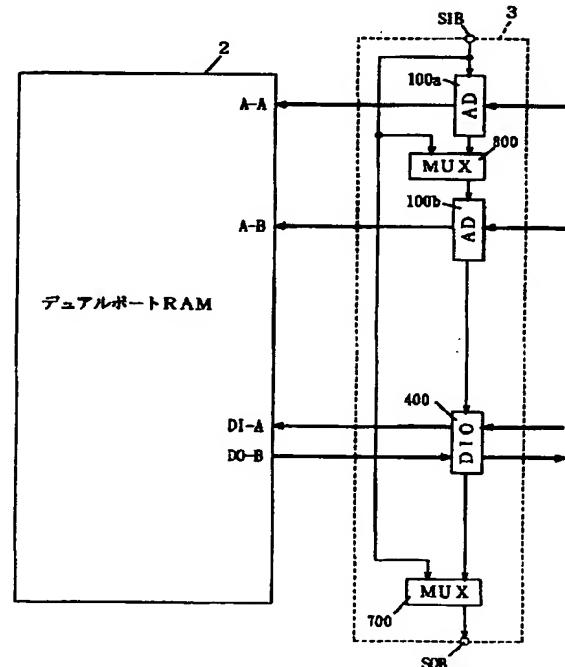
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 前野秀史
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社カスタムエル・エス・アイ設計技
術開発センター内
(74)代理人 弁理士 深見久郎(外3名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 マルチポートRAMおよびスキャンバス方式のテスト回路を含む半導体集積回路装置において、テストパターンの増大を抑制しつつテスト回路の付加による半導体チップの面積増大を抑制することである。

【構成】 データ比較機能を有するデータ入出力用スキャンレジスタ群400を設け、そのデータ入出力用スキャンレジスタ群400をマルチポートRAM2の書き込みポートおよび読み出しポートで共用する。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 独立にアドレス指定可能な1つ以上の読出しポートおよび1つ以上の書込みポートを含み、複数の読出しデータ端子および複数の書込みデータ端子を有する記憶手段と、
直列に接続された複数のスキャンレジスタを含むスキャンバスとを備え、
前記複数のスキャンレジスタの各々は、
シリアル入力端子、
第1のパラレル入力端子、
第2のパラレル入力端子、
与えられるデータを保持して出力する第1の保持手段、
与えられるデータを保持して出力する第2の保持手段前記第1のパラレル入力端子のデータを前記第1の保持手段に伝達する第1の伝達手段、
前記シリアル入力端子のデータを前記第1および第2の保持手段の一方で伝達する第2の伝達手段、
前記第2のパラレル入力端子のデータを前記第2の保持手段に伝達する第3の伝達手段、
前記第1および第2の保持手段の前記一方から出力されるデータを前記第1および第2の保持手段の他方に伝達する第4の伝達手段、
前記第1の保持手段から出力されるデータを受ける第1のパラレル出力端子、
前記第2の保持手段から出力されるデータを受ける第2のパラレル出力端子、
前記第1および第2の保持手段の前記他方から出力されるデータを受けるシリアル出力端子、
前記第2のパラレル入力端子のデータを前記第1の保持手段から出力されるデータと比較する比較手段、および前記比較手段の比較結果に従って前記第3の伝達手段を能動化または非能動化する能動化手段を含み、
各スキャンレジスタの前記シリアル入力端子は前段のスキャンレジスタの前記シリアル出力端子に接続され、
前記記憶手段の各読出しデータ端子は1つのスキャンレジスタの前記第2のパラレル入力端子に接続され、前記記憶手段の各書込みデータ端子は1つのスキャンレジスタの前記第1のパラレル出力端子に接続される、半導体集積回路装置。
【請求項2】 独立にアドレス指定可能な1つ以上の読出しポートおよび1つ以上の書込みポートを含み、複数の読出しデータ端子および複数の書込みデータ端子を有する記憶手段と、
直列に接続された複数のスキャンレジスタを含むスキャンバスとを備え、
前記複数のスキャンレジスタの各々は、
シリアル入力端子、
第1のパラレル入力端子、
第2のパラレル入力端子、
与えられるデータを保持して出力する第1の保持手段、

2

与えられるデータを保持して出力する第2の保持手段、
前記第1のパラレル入力端子のデータを前記第1の保持手段に伝達する第1の伝達手段、
前記シリアル入力端子のデータを前記第1および第2の保持手段の一方で伝達する第2の伝達手段、
前記第2のパラレル入力端子のデータを前記第2の保持手段に伝達する第3の伝達手段、
前記第1および第2の保持手段の前記一方から出力されるデータを前記第1および第2の保持手段の他方に伝達する第4の伝達手段、
前記第1の保持手段から出力されるデータを受ける第1のパラレル出力端子、
前記第2の保持手段から出力されるデータを受ける第2のパラレル出力端子、
前記第1および第2の保持手段の前記他方から出力されるデータを受けるシリアル出力端子、
前記第2のパラレル入力端子のデータを前記第1の保持手段から出力されるデータと比較する比較手段、
前記第1の伝達手段を能動化または非能動化する第1の能動化手段、
前記比較手段の比較結果に従って前記第3の伝達手段を能動化または非能動化する第2の能動化手段、および所定の信号に応答して、前記比較手段の比較結果にかかわらず、前記第1の能動化手段に同期して前記第3伝達手段を能動化または非能動化するように前記第2の能動化手段を強制する強制手段を含み、
各スキャンレジスタの前記シリアル入力端子は前段のスキャンレジスタの前記シリアル出力端子に接続され、
前記記憶手段の各読出しデータ端子は1つのスキャンレジスタの前記第2のパラレル入力端子に接続され、前記記憶手段の各書込みデータ端子は1つのスキャンレジスタの前記第1のパラレル出力端子に接続される、半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、マルチポートメモリおよびスキャンバスを含む半導体集積回路装置に関し、特にテスト容易化設計方式に関する。

【0002】

【従来の技術】スキャンバスは、RAM (Random Access Memory) 等の半導体集積回路装置のテストを行なうためのテスト補助回路（またはテスト回路）として用いられる。第1の従来技術として基本的なスキャンバスを説明し、第2の従来技術としてバイバス機能付きスキャンバスを説明し、第3の従来技術としてアドレス設定に全周期系列を用いるスキャンバスを説明する。

【0003】(1) 第1の従来技術

(a) 基本的なスキャンバスの構成

50 図40は、RAMのためのテスト補助回路（スキャンバ

ス) の構成を示すブロック図である。

【0004】RAM2aの周囲には、複数のアドレス用スキャニレジスタ(以下、ADスキャニレジスタと呼ぶ)10a、複数のデータ入力用スキャニレジスタ(以下、DIスキャニレジスタと呼ぶ)20aおよび複数のデータ出力用スキャニレジスタ(以下、DOスキャニレジスタと呼ぶ)30aが配列されている。RAM2aおよびスキャニレジスタ10a, 20a, 30aは、他のロジック回路(図示せず)とともに同一の半導体チップ上に形成されている。これらのスキャニレジスタ10a, 20a, 30aは、通常動作時には、半導体チップ上の他のロジック回路とRAM2aとを接続し、RAM2aのテスト時には、半導体チップ上の他のロジック回路とRAM2aとを互いに分離する。

【0005】スキャニレジスタ10a, 20a, 30aはシリアル入力端子SICとシリアル出力端子SOCとの間に直列に接続され、スキャニバス(1種のシフトレジスタ)を構成する。RAM2aのテスト時には、スキャニバスのシフト機能によって、アドレス信号およびデータのようなテストデータが、RAM2aのアドレス入力端子A0～Am-1およびデータ入力端子DI1～DI_nを介してRAM2aに与えられる。RAM2aのテスト結果は、RAM2aのデータ出力端子DO1～DO_nを介してスキャニバスのDOスキャニレジスタ30aに取込まれる。

【0006】(b) ADスキャニレジスタ

図41は、ADスキャニレジスタ10aの回路構成を示す。ADスキャニレジスタ10aは、NチャネルMOSトランジスタN51～N53およびインバータG51～G54を含む。インバータG51, G52はレシオ型ラッチ回路を構成し、インバータG53, G54もレシオ型ラッチ回路を構成する。インバータG52, G54は、それぞれインバータG51, G53よりも小さい駆動能力を有する。

【0007】ADスキャニレジスタ10aは、シリアル入力端子SI、シリアル出力端子SO、パラレル入力端子PI1およびパラレル出力端子PO1を有する。また、ADスキャニレジスタ10aは、パラレルクロックPCK1を受けるパラレルクロック端子pck1、アドレス用第1のシリアルシフトクロックSCK1Aを受けるシリアルクロック端子sck1a、およびアドレス用第2のシリアルシフトクロックSCK2Aを受けるシリアルクロック端子sck2aを有する。

【0008】RAM2aの通常動作時には、シリアルクロック端子sck1aの電位が“L”に設定され、パラレルクロック端子pck1の電位が“H”に設定される。それにより、パラレル入力端子PI1からパラレル出力端子PO1へアドレス信号が伝達される。このとき、シリアルクロック端子sck2aの電位は“H”および“L”的いずれに設定してもよい。

【0009】RAM2aのテスト時には、パラレルクロック端子pck1の電位が“L”に設定される。それにより、RAM2aが他のロジック回路と分離される。また、シリアルクロック端子sck1a, sck2aに与えられる第1相および第2相のクロックSCK1A, SCK2Aによりシフト動作が行なわれる。それにより、ADスキャニレジスタ10aにテスト用アドレスが設定される。

【0010】(c) DIスキャニレジスタ

図42は、DIスキャニレジスタ20aの回路構成を示す。DIスキャニレジスタ20aは、図41のADスキャニレジスタ10aと同じ構成を有し、同一または相当部分には同一符号が付される。DIスキャニレジスタ20aは、第1のシリアルシフトクロックSCK1を受けるシリアルクロック端子sck1および第2のシリアルシフトクロックSCK2を受けるシリアルクロック端子sck2を有する。

【0011】RAM2aの通常動作時には、シリアルクロック端子sck1の電位が“L”に設定され、パラレルクロック端子pck1の電位が“H”に設定される。

それにより、パラレル入力端子PI1からパラレル出力端子PO1へデータが伝達される。このとき、シリアルクロック端子sck2の電位は“H”および“L”的いずれに設定してもよい。

【0012】RAM2aのテスト時には、パラレルクロック端子pck1の電位が“L”に設定される。それにより、RAM2aが他のロジック回路から分離される。また、シリアルクロック端子sck1, sck2に与えられる第1相および第2相のシフトクロックSCK1A, SCK2Aによりシフト動作が行なわれる。それにより、DIスキャニレジスタ20aにテスト用入力データが設定される。

【0013】(d) DOスキャニレジスタ

図43は、DOスキャニレジスタ30aの回路構成を示す。DOスキャニレジスタ30aにおいて、ADスキャニレジスタ10aおよびDIスキャニレジスタ20aと同一または相当部分には同一符号が付される。DOスキャニレジスタ30aは、NチャネルMOSトランジスタN61～N64、インバータG61～G64、イクスクルーシブNOR回路G65およびNOR回路G66を含む。また、DOスキャニレジスタ30aは、反転テストクロック/TCKを受ける反転テストクロック端子/tckを有している。

【0014】RAM2aの通常動作時には、シリアルクロック端子sck1の電位が“L”に設定され、パラレルクロック端子pck1およびシリアルクロック端子sck2の電位が“H”に設定される。それにより、パラレル入力端子PIからパラレル出力端子POへRAM2aの出力データが伝達される。このとき、反転テストクロック端子/tckの電位は“H”および“L”的いずれ

に設定してもよい。

【0015】RAM2aのテスト時には、パラレルクロック端子p c k 1の電位が“L”に設定され、反転テストクロック端子/t c kの電位が“H”に設定される。それにより、RAM2aが他のロジック回路から分離される。また、シリアルクロック端子s c k 1, s c k 2に与えられる第1相および第2相のシフトクロックS CK1, S CK2によりシフト動作が行なわれる。それにより、テスト結果が読出される。

【0016】(e) スキャンバスの動作

図44は、図40のスキャンバスのシフト動作を示すタイミング図である。各スキャンレジスタ10a, 20a, 30aのシリアルクロック端子s c k 1, s c k 1aには第1相のクロックが与えられ、シリアルクロック端子s c k 2, s c k 2aには、第2相のクロックが与えられる。

【0017】各スキャンレジスタのシリアル入力端子S Iのデータは、第1相のクロックによってスキャンレジスタ内のノードAに取込まれる。ノードAのデータは反転され、第2のクロックによってノードBに転送される。ノードBのデータは反転され、シリアル出力端子S Oに与えられる。

【0018】結果として、シリアル入力端子S Iからシリアル出力端子S Oへ1ビットのシフト動作が行なわれる。このように、2相のクロックによってシフト動作が行なわれ、テストデータの設定およびテスト結果の読出しが行なわれる。

【0019】図45は、図40のスキャンバスのテスト時の動作を示すタイミング図である。スキャンレジスタ20a, 30aのシリアルクロック端子s c k 1, s c k 2にはシリアルシフトクロックS CK1, S CK2が与えられ、ADスキャンレジスタ10aのシリアルクロック端子s c k 1a, s c k 2aには、別のシリアルシフトクロックS CK1A, S CK2Aが与えられる。それにより、テストアドレスの更新が行なわれる。

【0020】DOスキャンレジスタ30aのパラレル出力端子P Oには読出し期待値が設定されている。イクスクルーシブNOR回路G65によって、RAM2aからパラレル入力端子P Iに読出されたデータが読出し期待値と比較される。また、データが読出されるごとに、反転テストクロック端子/t c kに反転テストクロック/T C Kが与えられる。そのため、フェイルデータ(誤ったデータ)が読出されると、NOR回路G66の出力ノードに反転テストクロック/t c kを反転することにより得られるクロックP C K 2が発生する。その結果、パラレル入力端子P IのデータがノードA(P O 2)に取込まれる。

【0021】ノードP O 2には、予めシフト動作によってパラレル出力端子P Oのデータと同じデータが設定されている。したがって、フェイルデータが読出される

と、ノードP O 2のデータは反転する。

【0022】複数のアドレスについて上記の動作が行なわれた後、再び図44に示すシフト動作を行なうことにより、シリアル出力端子S Oからテスト結果が読出される。このように、ラッチ回路により保持されるデータが反転したか否かに基づいて、読出し期待値と異なるデータがパラレル入力端子P Iに与えられたかどうかを、知ることができる。

(2) 第2の従来技術

10 図46は、バイパス機能付きスキャンバスを含む半導体集積回路装置の構成を示すブロック図である。

【0023】半導体チップ1a上に複数の回路ブロック2aが設けられる。各回路ブロック2aは、たとえばRAM、ROM(Read Only Memory)または乗算器を含む。各回路ブロック2aの周囲にはテスト回路3aが設けられる。テスト回路3aは直列に接続された複数のスキャンレジスタ31およびセレクタ32を含む。

20 【0024】セレクタ32は、モード制御信号MDに応答して初段のスキャンレジスタ31への入力および最終段のスキャンレジスタ31からの出力のうちいずれか一方を選択的に出力する。セレクタ32が“1”の側に設定されると、セレクタ32は初段のスキャンレジスタ31への入力を選択する。これをバイパス状態と呼ぶ。また、セレクタ32が“0”の側に設定されると、セレクタ32は最終段のスキャンレジスタ31の出力を選択する。これを非バイパス状態と呼ぶ。

30 【0025】複数の回路ブロック2aに対応する複数のテスト回路3aがシリアル入力端子S I Cとシリアル出力端子S O Cとの間に直列に接続され、半導体チップ1a上でスキャンバスを構成する。

【0026】通常、テストの対象となっていない回路ブロック2aに対応するセレクタ32はバイパス状態に設定され、テストの対象となっている回路ブロック2aに対応するセレクタ32は非バイパス状態に設定される。それにより、テストデータはテストの対象となっている回路ブロック2aに対応するスキャンレジスタ31のみを通過する。したがって、テストデータがすべてのスキャンレジスタ31を通過する場合に比べて、シフト動作の回数が少なくなり、テスト時間が短縮される。

40 【0027】図47は、回路ブロックがRAM2aである場合のテスト回路の構成の一例を示すブロック図である。

【0028】テスト回路3aは、アドレス用スキャンレジスタ群(以下ADスキャンレジスタ群と呼ぶ)10、データ入力用スキャンレジスタ群(以下DIスキャンレジスタ群と呼ぶ)20、データ出力用スキャンレジスタ群(以下DOスキャンレジスタ群と呼ぶ)30およびセレクタ50を含む。ADスキャンレジスタ群10、DIスキャンレジスタ群20、DOスキャンレジスタ群30

およびセレクタ50は、シリアル入力端子SIとシリアル出力端子SOとの間に直列に接続され、スキャンバスを構成する。ADスキャンレジスタ群10、DIスキャンレジスタ群20およびDOスキャンレジスタ群30には共通のシフトクロックSCKが与えられ、セレクタ50にはモード制御信号MDが与えられる。図47のセレクタ50は図46のセレクタ32に相当する。

【0029】なお、シフトクロックSCKは、1相シフトクロックまたは2相シフトクロックである。

【0030】図47に示される1つのRAM2aがテストされるときには、その他の回路ブロックに対応するテスト回路はバイパス状態に設定される。この状態は、そのRAM2aに対応するテスト回路3aのシリアル入力端子SIおよびシリアル出力端子SOが、それぞれ図46に示される半導体チップ1aのシリアル入力端子SICおよびシリアル出力端子SOCに接続されていることと等価になる。したがって、テスト時間に関しては図47のテスト回路3aのシフト動作を考慮すればよく、他の回路ブロックのテスト回路のシフト動作は考慮する必要がない。

【0031】しかし、テストの対象となっている回路ブロックに関してはスキャンバスのシフト動作によってテストが行なわれる。したがって、テスト時間がシフト回数に比例して増大するという問題がある。この問題は、回路ブロックがRAMである場合にも存在する。次にテスト時間の増大の問題を説明するために、RAMの一般的なテストアルゴリズムであるマーチテストを一例として説明する。

(3) 一般的なマーチテスト

一般的なマーチテストのテストアルゴリズムの処理手順を以下に示す。

【0032】(手順1) 全アドレスに“0”書き込みを行なう。

【0033】(手順2) アドレスを0番地から最終番地まで順に増加させながら、各アドレスについて、“0”読出しの後“1”書き込みを行なう。

【0034】(手順3) アドレスを最終番地から0番地まで順に減少させながら、各アドレスについて、“1”読出しの後“0”書き込みを行なう。

【0035】(手順4) 全アドレスに“1”書き込みを行なう。

【0036】(手順5) アドレスを0番地から最終番地まで順に増加させながら、各アドレスについて、“1”読出しの後“0”書き込みを行なう。

【0037】(手順6) アドレスを最終番地から0番地まで順に減少させながら、各アドレスについて、“0”読出しの後“1”書き込みを行なう。

【0038】たとえば、図48に示されるRAM2aをテストする場合を考える。RAM2aにはアドレス信号A(0)～A(n-1)、チップイネーブル信号CE、

ライトイネーブル信号WEおよびデータDI(0)～DI(m-1)が入力され、RAM2aからデータDO(0)～DO(m-1)が出力される。

【0039】手順1、4では、図49に示される書き込み動作が行なわれる。また、手順2、3、5、6では、図50に示される読出し・書き込み動作が行なわれる。図49に示される書き込み動作では、ローアクティブなライトイネーブルWEに応答してデータDI(i)が書き込まれる。図50に示される読出し・書き込み動作では、ローアクティブのチップイネーブル信号CEに応答して読出されたデータDO(i)が、テストストローブタイミングで外部テストにより所定の期待値データと比較され、その後ローアクティブなライトイネーブル信号WEに応答してデータDI(i)が書き込まれる。ここで、iは0～m-1を表わしている。図50に示される読出し・書き込み動作では、読出し動作と書き込み動作とが同一のテストサイクル内で行なわれる。

【0040】たとえば、1024ワード×8ビットのRAMを考察する。手順1、4では、図49の書き込み動作がそれぞれ1024回繰り返され、手順2、3、5、6では、図50の読出し・書き込み動作がそれぞれ1024回繰り返される。したがって、マーチテストは合計6144テストサイクルで実現されることになる。

【0041】一般に2^nワードのRAMに関するマーチテストは6×2^nテストサイクルで実現される。この試算は、図48に示されるRAM2aのように、各種信号が外部から直接制御および観測できる場合に当てはまる。

【0042】このマーチテストを図46および図47に示されるバイパス機能付きスキャンバスを用いて行なうと、個々のRAMのテストは通常のスキャンテストにより行なわれる。スキャンテストではRAM2aの読出し動作および書き込み動作をシフト動作のテストサイクル内で行なうことができるので、以下の説明ではシフト動作のテストサイクルの数のみを考慮する。

【0043】図47を参照して以下の説明を行なう。上記のように、RAM2aが1024ワード×8ビット構成を有する場合には、ADスキャンレジスタ群10は10個のスキャンレジスタを含み、DIスキャンレジスタ群20は8個のスキャンレジスタを含み、DOスキャンレジスタ群30は8個のスキャンレジスタを含む。

【0044】手順1、4では、各アドレスについてアドレス信号および書き込みデータをシフト動作により設定する必要がある。そのため、DIスキャンレジスタ群20に書き込みデータを設定するために8回のシフト動作が必要であり、さらにADスキャンレジスタ群10にアドレス信号を設定するために10回のシフト動作が必要である。以下の説明では、1回のシフト動作も1テストサイクルで行なわれるものと仮定する。手順1、4では、このテストサイクルが1024回繰り返されるので、それ

それ $(10+8) \times 1024 = 18432$ テストサイクルが必要となる。

【0045】また、手順2, 3, 5, 6では、各アドレスについて、書き込みデータおよびアドレス信号をシフト動作により設定し、さらに読み出しデータをシフト動作により取出す必要がある。そのため、DIスキャンレジスタ群20に書き込みデータを設定するために8回のシフト動作が必要であり、ADスキャンレジスタ群10にアドレス信号を設定するために10回のシフト動作が必要であり、さらにDOスキャンレジスタ群30内の読み出しデータを取出すために8回のシフト動作が必要となる。手順2, 3, 5, 6では、このテストサイクルが1024回繰り返されるので、それぞれ $(10+8+8) \times 1024 = 26624$ テストサイクルが必要となる。

【0046】結果として、マーチテストを行なうためには、 $(18432 \times 2 + 26624 \times 4) = 143360$ テストサイクルが必要となる。

【0047】このように、スキャンテストに必要なテストサイクルは、上記の一般的なマーチテストに必要なテストサイクル（6144テストサイクル）に比較して、約23倍になっている。つまり、バイパス機能付きスキャンパスを用いても、個々のRAMのテストを通常のスキャンテストにより行なえば、テスト時間の増大（この例では約23倍）は避けられない。

(4) 第3の従来技術

次に、全周期系列をアドレスの設定に用いるテスト回路を説明する。

【0048】全周期系列とは、特殊なビット列であり、このビット列をスキャンパスにシフトインすることによりRAMのテストアドレスを効率よく設定することができる。“0000111101011001000”は4次の全周期系列の一例である。

【0049】このビット列を4ビットのシフトレジスタに入力すると、シフト動作ごとにシフトレジスタが保持するデータは変化する。その結果、ランダムな順序ではあるが、すべての可能な16状態を設定することができる。シフトレジスタが保持する値をRAMのテストアドレスであると仮定すれば、ランダムな順序ではあるが、図51に示すように、0番地から15番地までの全アドレスを設定することができる。

【0050】図51に示す全周期系列は“0000111101011001000”であり、この順序で1ビットずつ4ビットのシフトレジスタにシフトインすることを仮定している。それにより、最初の“0000”をシフトインしたときに、アドレスは0番地になる。その後、残りの111101011001000を順にシフトインすると、アドレスは8番地、12番地、14番地、…1番地というように変化する。このときに必要なテストサイクルは $(4-1) + 2^4 = 19$ テストサイクルである。

【0051】一般にn本のアドレス線を有するRAMのテストにはn次の全周期系列が用いられる。この場合に全テストアドレスの設定のためには、 $(n-1) + 2^n$ テストサイクルが必要である。最初の(n-1)回のシフト動作ではアドレスが不確定であるためにテストを開始することができない。その後の2^n回のシフト動作ではアドレスが確定しているのでRAMの読み出し動作および書き込み動作を行なうことができる。

(5) ランダムマーチテスト

10 全周期系列をアドレスの設定に用いるテストアルゴリズムの一例としてランダムマーチテストの処理手順を以下に示す。

【0052】（手順1）全周期系列をシフトインしながらアドレスを設定し、全アドレスについて“0”書き込みを行なう。

【0053】（手順2）全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“0”読み出しの後“1”書き込みを行なう。

20 【0054】（手順3）全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“1”読み出しの後“0”書き込みを行なう。

【0055】（手順4）全周期系列をシフトインしながらアドレスを設定し、全アドレスについて“1”書き込みを行なう。

【0056】（手順5）全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“1”読み出しの後“0”書き込みを行なう。

30 【0057】（手順6）全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“0”読み出しの後“1”書き込みを行なう。

【0058】なお、手順1～6ごとに異なる全周期系列を用いてもよい。

【0059】このランダムマーチテストを考慮したテスト回路を図52および図53に示す。図52の例では、1つのRAM2aに対応して、1つのADスキャンレジスタ群10、1つのDIスキャンレジスタ群20、1つのDOスキャンレジスタ群30および1つの比較回路80が設けられる。図53の例では、複数のRAM2aに対応して、複数のADスキャンレジスタ群10、複数のDIスキャンレジスタ群20、複数のDOスキャンレジスタ群30および複数の比較回路80が設けられる。

40 【0060】ここでは、図52を参照しながらランダムマーチテストに必要なテストサイクルを考察する。

【0061】全周期系列をADスキャンレジスタ群10にシフトインすれば、1回のシフト動作によりアドレス信号を更新することができる。したがって、一般的なマーチテストのようにアドレスごとにアドレス信号の全ビットをシフトインする必要はない。

【0062】また、各手順において書き込みデータや読み出しはデータは変化しないので、全周期系列のシフト動作に

11

より書き込みデータが変化しないようにスキャンバスを分割する必要がある。そのため、図52に示すように、シリアル入力端子S11とシリアル出力端子S01との間にADスキャンレジスタ群10が接続され、シリアル入力端子S12とシリアル出力端子S02との間にDIスキャンレジスタ群20およびDOスキャンレジスタ群30が直列に接続される。ADスキャンレジスタ群10にはシフトクロックSCKAが与えられ、DIスキャンレジスタ群20およびDOスキャンレジスタ群30にはシフトクロックSCKDが与えられる。

【0063】また、読み出しデータのシフトアウトが不要になるように比較回路80が設けられている。比較回路80は、DOスキャンレジスタ群30が保持するデータ（読み出し期待値データ）とRAM2aからの読み出しデータとを比較し、一致／不一致を示すPASS/FAIL信号を出力する。このため、読み出し期待値データが変化しない限り、DOスキャンレジスタ群30のシフト動作は必要でない。

【0064】ランダムマーチテストでは、各手順において、アドレスが更新されている間に書き込みデータや読み出し期待値データが変化することはない。したがって、DIスキャンレジスタ群20およびDOスキャンレジスタ群30のシフト動作の回数はADスキャンレジスタ群10のシフト動作の回数と比較して非常に少ない。

【0065】たとえば、1024ワード×8ビットのRAMのテストに必要なテストサイクルを試算する。この場合、ワード数が $2^{10} = 1024$ であるので、 $n = 10$ となる。したがって、10次の全周期系列を用いる。

【0066】各手順においてアドレスが確定するまでに9回の余分なシフト動作が必要である。その後は、1回のシフト動作でアドレスを更新しつつテストを行なうことができる。

【0067】シフト動作は読み出し動作または読み出し・書き込み動作と同じテストサイクル内で行なうことができる。手順1, 4ではシフト動作および書き込み動作が同一のテストサイクルで行なわれ、手順2, 3, 5, 6ではシフト動作および読み出し・書き込み動作が同一のテストサイクルで行なわれるものとして、以下の説明を行なう。

【0068】手順1, 4では、アドレスの確定までに9回のシフト動作が必要であり、さらに1024回のテストサイクルが必要である。また、DIスキャンレジスタ群20に書き込みデータを設定するために8回のシフト動作が必要であるが、これらのシフト動作はアドレスの確定までの9回のシフト動作と同時に行なうことができる。したがって、手順1, 4では、それぞれ $9 + 1024 = 1033$ テストサイクルが必要となる。

【0069】また、手順2, 3, 5, 6では、アドレスの確定までに9回のシフト動作が必要であり、さらに1024回のテストサイクルが必要である。また、読み出し

12

期待値データをDOスキャンレジスタ群30に設定するために8回のシフト動作が必要であり、書き込みデータをDIスキャンレジスタ群20に設定するために8回のシフト動作が必要である。読み出し期待値データおよび書き込みデータの設定のためのシフト動作中にアドレスの確定までの9回のシフト動作を実行することができる。したがって、手順2, 3, 5, 6では、それぞれ $16 + 1024 = 1040$ テストサイクルが必要となる。

【0070】結果として、ランダムマーチテストには、 $(1033 \times 2 + 1040 \times 4) = 6226$ テストサイクルが必要となる。

【0071】このように、ランダムマーチテストに必要なテストサイクルは、一般的なマーチテストに必要なテストサイクル（6144テストサイクル）と比較して、1.3%しか増加しない。したがって、テスト時間の増加の抑制に効果がある。

(6) 公知文献の引用

従来のスキャンバスの一例が、特開昭63-222399号公報および対応のアメリカ特許4,926,424号に示されている。

【0072】全周期系列をアドレス設定に用いる図52および図53のテスト回路は、H. Maeno et al., "TESTING OF EMBEDDED RAM USING EXHAUSTIVE RANDOM SEQUENCES", 1987 International Test Conference Paper 4.2, pp. 105-110に示されている。

【0073】

【発明が解決しようとする課題】図40に示されるテスト補助回路（スキャンバス）では、RAM2aの各データ入力端子および各データ出力端子にDIスキャンレジスタ20aおよびDOスキャンレジスタ30aをそれぞれ接続する必要がある。そのため、テスト補助回路の規模が大きくなる。

【0074】また、各DIスキャンレジスタ20aおよび各DOスキャンレジスタ30aを構成する2つのラッチ回路は、テスト時にのみ使用され、通常動作時にはデータを通過させるのみである。そのため、通常動作時に不要なテスト補助回路のために半導体集積回路装置のチップ面積が増大し、製造コストが増大するという問題がある。

【0075】さらに、図54に示すように、書き込みポートおよび読み出しポートを有するデュアルポートRAM2をテストする場合には、書き込みポート用のテスト回路3Aおよび読み出しポート用のテスト回路3Bが必要である。

【0076】図54に示すように、テスト回路3Aには、書き込みポート用のアドレス信号AX-A (n-1)～AX-A (0)、チップイネーブル信号CEX-A、ライトイネーブル信号WE-X-Aおよび書き込みデータD

I X-A (m-1) ~ D I X-A (0) が与えられる。また、テスト回路3Aは、デュアルポートRAM2に書き込みポート用のアドレス信号A-A (n-1) ~ A-A (0)、チップイネーブル信号-A、ライトイネーブル信号WE-Aおよび書き込みデータD I-A (m-1) ~ D I-A (0) を与える。

【0077】テスト回路3Bには、読み出しポート用のアドレス信号AX-B (n-1) ~ AX-B (0)、チップイネーブル信号CEX-B およびライトイネーブル信号WE X-B が与えられる。また、テスト回路3Bには、デュアルポートRAM2から読み出しデータD O-B (m-1) ~ D O-B (0) が与えられる。テスト回路3Bは、読み出しデータD O X-B (m-1) ~ D O X-B (0) を出力する。

【0078】各テスト回路3A, 3Bには、シリアル入力端子S I B、シリアル出力端子S O B および各種制御信号R S T, M D S T, S C K 1, S C K 2, S T B, T M, T C E, T W E のための制御端子が独立に設けられ、半導体チップ内で接続される。

【0079】テスト回路3A, 3Bに図40、図46、図52または図53に示されるテスト回路を用いると、回路規模が大きくなる。しかも、デュアルポートRAM2をテストするためには、2つのテスト回路3A, 3Bが必要となる。

【0080】したがって、半導体集積回路装置のチップ面積が増大し、製造コストが増大するという問題がある。

【0081】この発明の目的は、マルチポートメモリおよびスキャンバスを含む半導体集積回路装置のチップ面積および製造コストを低減することである。

【0082】

【課題を解決するための手段】第1の発明に係るスキャンバス装置は、記憶手段およびスキャンバスを備える。記憶手段は、独立にアドレス指定可能な1つ以上の読み出しポートおよび1つ以上の書き込みポートを含み、複数の読み出しデータ端子および複数の書き込みデータ端子を有する。スキャンバスは、直列に接続された複数のスキャンレジスタを含む。

【0083】複数のスキャンレジスタの各々は、シリアル入力端子、シリアル出力端子、第1および第2のパラレル入力端子、第1および第2のパラレル出力端子、第1および第2の保持手段、第1、第2、第3および第4の伝達手段、比較手段、および能動化手段を備える。

【0084】第1および第2の保持手段は、与えられるデータを保持して出力する。第1の伝達手段は、第1のパラレル入力端子のデータを第1の保持手段に伝達する。第2の伝達手段は、シリアル入力端子のデータを第1および第2の保持手段の一方で伝達する。第3の伝達手段は、第2のパラレル入力端子のデータを第2の保持手段に伝達する。第4の伝達手段は、第1および第2の

保持手段の前記一方から出力されるデータを第1および第2の保持手段の他方に伝達する。

【0085】第1のパラレル出力端子は、第1の保持手段から出力されるデータを受ける。第2のパラレル出力端子は、第2の保持手段から出力されるデータを受けける。シリアル出力端子は、第1および第2の保持手段の前記他方から出力されるデータを受ける。

【0086】比較手段は、第2のパラレル入力端子のデータを第1の保持手段から出力されるデータと比較する。能動化手段は、比較手段の比較結果に従って第3の伝達手段を能動化または非能動化する。各スキャンレジスタのシリアル入力端子は前段のスキャンレジスタのシリアル出力端子に接続される。

【0087】記憶手段の各読み出しデータ端子は1つのスキャンレジスタの第2のパラレル入力端子に接続され、記憶手段の各書き込みデータ端子は1つのスキャンレジスタの第1のパラレル出力端子に接続される。

【0088】第2の発明に係るスキャンバス装置は、記憶手段およびスキャンバスを備える。記憶手段は、独立にアドレス指定可能な1つ以上の読み出しポートおよび1つ以上の書き込みポートを含み、複数の読み出しデータ端子および複数の書き込みデータ端子を有する。スキャンバスは、直列に接続された複数のスキャンレジスタを含む。

【0089】複数のスキャンレジスタの各々は、シリアル入力端子、シリアル出力端子、第1および第2のパラレル入力端子、第1および第2のパラレル出力端子、第1および第2の保持手段、第1、第2、第3および第4の伝達手段、比較手段、第1および第2の能動化手段、および強制手段を備える。

【0090】第1および第2の保持手段は、与えられるデータを保持して出力する。第1の伝達手段は、第1のパラレル入力端子のデータを第1の保持手段に伝達する。第2の伝達手段は、シリアル入力端子のデータを第1および第2の保持手段の一方で伝達する。第3の伝達手段は、第2のパラレル入力端子のデータを第2の保持手段に伝達する。第4の伝達手段は、第1および第2の保持手段の前記一方から出力されるデータを第1および第2の保持手段の他方に伝達する。

【0091】第1のパラレル出力端子は、第1の保持手段から出力されるデータを受ける。第2のパラレル出力端子は、第2の保持手段から出力されるデータを受けける。シリアル出力端子は、第1および第2の保持手段の前記他方から出力されるデータを受ける。

【0092】比較手段は、第2のパラレル入力端子のデータを第1の保持手段から出力されるデータと比較する。第1の能動化手段は、第1の伝達手段を能動化または非能動化する。第2の能動化手段は、比較手段の比較結果に従って第3の伝達手段を能動化または非能動化する。強制手段は、所定の信号に応答して、比較手段の比較結果にかかわらず第1の能動化手段に同期して第3の

50

15

伝達手段を能動化または非能動化するように第2の能動化手段を強制する。各スキャンレジスタのシリアル入力端子は前段のスキャンレジスタのシリアル出力端子に接続される。

【0093】記憶手段の各読み出しデータ端子は1つのスキャンレジスタの第2のパラレル入力端子に接続され、記憶手段の各書き込みデータ端子は1つのスキャンレジスタの第1のパラレル出力端子に接続される。

【0094】

【作用】第1および第2の発明に係る半導体集積回路装置のスキャンバスにおいては、テスト時に、シリアル入力端子のデータが第2の伝達手段により第1および第2の保持手段の一方を与えられ、第1および第2の保持手段の一方から出力されるデータが第1および第2の保持手段の他方に与えられ、シリアル出力端子から出力される。このようにして、シフト動作が行なわれる。

【0095】このシフト動作により第1および第2の保持手段に期待値データが設定され、読み出しデータが第2のパラレル入力端子に与えられる。第2のパラレル入力端子の読み出しデータは比較手段により第1の保持手段に保持された期待値データと比較される。この比較結果に従って第3の伝達手段が能動化または非能動化される。第3の伝達手段が能動化されると、第2のパラレル入力端子の読み出しデータが第2の保持手段に与えられる。第3の伝達手段が能動化されないと、第2の保持手段の期待値データは変化しない。

【0096】第1の発明に係る半導体集積回路装置のスキャンバスにおいては、通常動作時に、第1のパラレル入力端子のデータが第1の伝達手段により第1の保持手段に与えられ、第1のパラレル出力端子から出力される。また、第2のパラレル入力端子のデータが第3の伝達手段により第2の保持手段に与えられ、第2のパラレル出力端子から出力される。

【0097】第2の発明に係る半導体集積回路装置のスキャンバスにおいては、通常動作時に、第1の能動化手段によって第1の伝達手段が能動化または非能動化され、第2の能動化手段により第3の伝達手段が能動化または非能動化される。これにより、第1および第2の保持手段がラッチ回路として動作する。

【0098】このように、第1および第2の発明に係る半導体集積回路装置のスキャンバスにおいては、各スキャンレジスタに含まれる第1および第2の保持手段のうち一方がパラレルデータの入力のために用いられ、それらの他方がパラレルデータの出力のために用いられる。

【0099】各スキャンレジスタが読み出しポートの1ビットおよび書き込みポートの1ビットで共有される。したがって、1つのスキャンレジスタで読み出しポートからのデータの出力および書き込みポートへのデータの入力を行なうことが可能となり、スキャンバスの規模が小さくなる。

16

【0100】特に、第2の発明に係る半導体集積回路装置のスキャンバスにおいては、各スキャンレジスタに含まれる第1および第2の保持手段を通常動作時にラッチ回路として利用することができる。そのため、従来通常動作時に必要であったラッチ回路を設ける必要がなくなる。

【0101】

【実施例】

(1) 概略的な構成および動作

10 図1は第1の実施例による半導体集積回路装置に含まれるテスト回路の概略的な構成を示すブロック図であり、図2は半導体集積回路装置の全体の構成を示すブロック図である。

【0102】まず、図2を参照する。半導体チップ1上には複数のデュアルポートRAM(以下、RAMと略す)2、複数のRAM2に対応する複数のテスト回路3およびロジック回路4が設けられる。各RAM2は対応するテスト回路3を介してロジック回路4に接続される。複数のテスト回路3はシリアル入力端子SICとシリアル出力端子SOCとの間に直列に接続され、スキャンバスを構成する。

【0103】各テスト回路3には、テストバスTBを介してリセット信号RST、モード設定信号MDSET、シフトクロックSCK、ストローブ信号STB、テストモード信号TM、テスト用チップインエーブル信号TCEおよびテスト用ライトインエーブル信号TWEが与えられる。この実施例では、シフトクロックSCKは第1相シフトクロックSCK1および第2相シフトクロックSCK2を含む2相クロックである。シフトクロックSCKが1相クロックであってもよい。

【0104】次に図1を参照する。RAM2は、書き込みポート(ポートA)および読み出しポート(ポートB)を有する。テスト回路3のシリアル入力端子SIBとシリアル出力端子SOBとの間に、アドレス用スキャンレジスタ群(以下、ADスキャンレジスタ群と呼ぶ)100a、マルチプレクサ800、ADスキャンレジスタ群100b、データ入出力用スキャンレジスタ群(以下、DIOスキャンレジスタ群と呼ぶ)400およびマルチプレクサ700が直列に接続され、スキャンバスを構成する。

【0105】ADスキャンレジスタ群100aは、RAM2に書き込みポート用のアドレス信号A-Aを供給するために用いられ、ADスキャンレジスタ群100bは、RAM2に読み出しポート用のアドレス信号A-Aを供給するために用いられる。DIOスキャンレジスタ群400は、書き込みポートおよび読み出しポートで共用されている。DIOスキャンレジスタ群400は、RAM2の書き込みポートに書き込みデータDIAを与え、RAM2の読み出しポートから読み出しだデータDOBを受ける。

50 【0106】また、マルチプレクサ800は、書き込みポ

ートおよび読出しポートの両方に同一のアドレス信号を供給するために用いられる。マルチブレクサ800の一方の入力端子はADスキャンレジスタ群100aの出力信号を受け、他方の入力端子はシリアル入力端子SIBからの信号を受ける。さらに、マルチブレクサ700の一方の入力端子はDIOスキャンレジスタ群400の出力信号を受け、他方の入力端子はシリアル入力端子SIBからの信号を受ける。

【0107】マルチブレクサ700, 800がシリアル入力端子SIBからの信号を選択する場合をバイパス状態と呼ぶ。一方、マルチブレクサ700がDIOスキャンレジスタ群400の出力信号を選択しかつマルチブレクサ800がADスキャンレジスタ群100aの出力信号を選択する場合を非バイパス状態と呼ぶ。

【0108】マルチブレクサ700, 800がバイパス状態に設定されているときには、DIOスキャンレジスタ群400はシフト動作を停止する。したがって、ランダムなマーチテストを実施する際に、DIOスキャンレジスタ群400が書き込みデータや読出期待値データを保持したまま、ADスキャンレジスタ群100a, 100bに全周期系列をシフトインしてアドレスを更新することができる。この場合、ADスキャンレジスタ群100a, 100bには同一のアドレスが設定される。

【0109】一方、マルチブレクサ700, 800が非バイパス状態に設定されているときには、ADスキャンレジスタ群100a, 100bと同様にDIOスキャンレジスタ群400にもシフトクロックSCKが与えられる。したがって、シリアル入力端子SIBとシリアル出力端子SOBとの間のスキャンレジスタが通常のスキャンパスとして動作する。

【0110】ランダムマーチテストで全周期系列をテストの対象となるRAM2に対応するテスト回路3にシフトインするときには、書き込みデータおよび読出期待値データが変化してはならない。したがって、テストの対象となるRAM2のテスト回路3はバイパス状態に設定する必要がある。また、テスト時間の短縮のために、他の回路ブロックに対応するテスト回路3もバイパス状態に設定する必要がある。結果として、すべての回路ブロックがバイパス状態に設定される。

【0111】この状態は、半導体チップ1のシリアル入力端子SICから入力される全周期系列がすべてのテスト回路3に共通に入力されるのと等価である。したがって、ワード数が同じであれば、複数のRAM2に対して同時に全周期系列をアドレスとして設定することができる。このことは、複数のRAM2の同時テストが可能であることを意味する。

(2) ランダムマーチテスト

再び、全周期系列をアドレス設定に用いるランダムマーチテストの処理手順を以下に示す。

【0112】(手順1) 全周期系列をシフトインしなが

らアドレスを設定し、全アドレスについて“0”書き込みを行なう。

【0113】(手順2) 全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“0”読出しの後“1”書き込みを行なう。

【0114】(手順3) 全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“1”読出しの後“0”書き込みを行なう。

10 【0115】(手順4) 全周期系列をシフトインしながらアドレスを設定し、全アドレスについて“1”書き込みを行なう。

【0116】(手順5) 全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“1”読出しの後“0”書き込みを行なう。

【0117】(手順6) 全周期系列をシフトインしながらアドレスを設定し、各アドレスについて、“0”読出しの後“1”書き込みを行なう。

20 【0118】次に、図1のテスト回路3を用いてランダムマーチテストを行なう場合のテストサイクルの見積を以下に考察する。

【0119】ここでは、RAM2が1024ワード×8ビット構成を有する場合を考える。ワード数が $2^{10}=1024$ であるので、 $n=10$ となる。したがって、10次の全周期系列を用いる。ランダムマーチテストの各手順においてアドレスが確定するまでに9回の余分なシフト動作が必要である。その後は、1回のシフト動作ごとにアドレスを更新してテストを行なうことができる。

30 【0120】シフト動作は、RAM2の書き込み動作または読出し・書き込み動作と同一のテストサイクル内で行なうことができる。したがって、手順1, 4では、シフト動作および書き込み動作を同一のテストサイクル内で行ない、その他の手順では、シフト動作および読出し・書き込み動作を同一のテストサイクル内で行なうものと仮定する。

【0121】手順1, 4では、DIOスキャンレジスタ群400に書き込みデータを設定するために8回のシフト動作が必要であり、アドレスの確定までに9回のシフト動作が必要であり、さらに1024のアドレスの各々についてシフト動作および書き込み動作が必要である。したがって、手順1, 4では、それぞれ $8+9+1024=1041$ テストサイクルが必要となる。

40 【0122】手順2, 3, 5, 6では、DIOスキャンレジスタ群400に読出期待値データを設定するために8回のシフト動作が必要であり、DIOスキャンレジスタ群400に書き込みデータを設定するために8回のシフト動作が必要である。また、アドレスの確定までに9回のシフト動作が必要であり、さらに1024のアドレスの各々についてシフト動作および読出し・書き込み動作が必要である。したがって、手順2, 3, 5, 6では、それぞれ $16+9+1024=1049$ テストサイクル

50

が必要となる。

【0123】結果として、ランダムマーチテストには、 $(1041 \times 2 + 1049 \times 4) = 6278$ テストサイクルが必要となる。

(3) 特有の効果

この実施例によるランダムマーチテストの必要なテストサイクルは、一般的なマーチテストに必要なテストサイクル (6144 テストサイクル) と比較して、2.2% 増加するにすぎず、テスト時間の増加の抑制に十分な効果がある。

【0124】この実施例では、シフトクロック SCK が以下に示すようにゲート回路を介して DIO スキャンレジスタ群 400 に与えられるので、DIO スキャンレジスタ群 400 のために特別なシフトクロックを与える必要がない。したがって、シフトクロック端子が増加せず、配線の混雑を抑制することができる。

【0125】この実施例では、各テスト回路 3 に独立のモード制御信号 MD を与える必要はなく、共通のモード設定信号 MDS T および共通のリセット信号 RST をすべてのテスト回路 3 に与えることができる。したがって、配線の混雑をさらに抑制することができる。

(4) 各部の詳細な構成

(a) テスト回路 3

テスト回路 3 と RAM 2 との関係を図 3 に示し、テスト回路 3 の詳細な構成を図 4 に示す。

【0126】図 3 に示すように、テスト回路 3 には、ロジック回路 4 (図 2 参照) から書き込みポート用のアドレス信号 AX-A (n-1) ~ AX-A (0)、読み出しポート用のアドレス信号 AX-B (n-1) ~ AX-B (0)、チップイネーブル信号 CEX-A, CEX-B、およびライトイネーブル信号 WEX-A, WEX-B が与えられる。また、テスト回路 3 には、ロジック回路 4 から書き込みデータ DIX-A (m-1) ~ DIX-A (0) が与えられる。テスト回路 3 は、ロジック回路 4 に読み出しデータ DOX-B (m-1) ~ DOX-B (0) を与える。

【0127】テスト回路 3 は、RAM 2 に書き込みポート用のアドレス信号 A-A (n-1) ~ A-A (0)、読み出しポート用のアドレス信号 A-B (n-1) ~ A-B (0)、チップイネーブル信号 CE-A, CE-B およびライトイネーブル信号 WE-A, WE-B を与える。また、テスト回路 3 は、RAM 2 に書き込みデータ DIA (m-1) ~ DIA (0) を与える。テスト回路 3 には、RAM 2 から読み出しデータ DO-B (m-1) ~ DO-B (0) が与えられる。

【0128】なお、図において、“-A”が付された符号は書き込みポート (ポート A) 用の信号を表わし、“-B”が付された符号は読み出しポート (ポート B) 用の信号を表わす。

【0129】図 4 に示すように、テスト回路 3 は、AD

スキャンレジスタ群 100a, 100b、チップイネーブル用スキャンレジスタ (以下、CE スキャンレジスタと呼ぶ) 200a, 200b、ライトイネーブル用スキャンレジスタ (以下、WE スキャンレジスタと呼ぶ) 300、DIO スキャンレジスタ群 400、ダミースキャンレジスタ (以下、DMY スキャンレジスタと呼ぶ) 500、リセット付ラッチ回路 600 およびマルチブレーカ 700, 800 を含む。CE スキャンレジスタ 200a は書き込みポート用に設けられ、CE スキャンレジスタ 200b は読み出しポート用に設けられている。

【0130】テスト回路 3 は、インバータ回路 G1, G2, G8、2 入力 AND 回路 G3 ~ G5、3 入力 AND 回路 G6 および OR 回路 G7 をさらに含む。

【0131】CE スキャンレジスタ 200b から出力されるイネーブル信号 CEA-B はインバータ回路 G8 を介して OR 回路 G7 の一方の入力端子に与えられる。OR 回路 G7 の他方の入力端子にはテストモード信号 TM が与えられる。OR 回路 G7 の出力はテストモードイネーブル信号 TMCEA として DIO スキャンレジスタ群 400 に与えられる。また、DIO スキャンレジスタ群 400 には、CE スキャンレジスタ 200a から出力されるイネーブル信号 CEA-A が与えられる。

【0132】図 4 のテスト回路 3 では、CE スキャンレジスタ 200a から出力されるチップイネーブル信号 CEA および WE スキャンレジスタ 300 から出力されるライトイネーブル信号 WE-A が同時にアクティブなときに、書き込みポート (ポート A) が動作すると仮定している。チップイネーブル信号 CE-A だけで書き込み動作を行なう RAM の場合には、WE スキャンレジスタ 300 は必要ではなく、これを除去することができる。

【0133】次に、図 4 のテスト回路 3 の概略的な動作を説明する。AD スキャンレジスタ群 100a, 100b は、ラッチ回路 600 から出力されるモード信号 MD の制御を受けずに 2 相のシフトクロック SCK1, SCK2 に応答してシフト動作する。

【0134】RAM 2 のテスト時にはモード信号 MD が “1” となり、テスト回路 3 がバイパス状態に設定される。この場合、マルチブレーカ 800 は、シリアル入力端子 SIB からの信号を入力するように切換わる。したがって、AD スキャンレジスタ群 100a, 100b の両方に同一のアドレス信号が供給される。それにより、シングルポート RAM の場合と同様に、ランダムマーチテストを行なうことができ、テストパターンを大幅に削減することが可能となる。

【0135】ロジック回路 4 のテスト時には、モード信号 MD が “0” になる。この場合、マルチブレーカ 800 は、AD スキャンレジスタ群 100a の出力信号を入力するように切換わる。その結果、テスト回路 3 内のすべてのスキャンレジスタが直列に接続される。

【0136】書き込みポート用の AD スキャンレジスタ群

21

100a および DIO スキャンレジスタ群 400 のデータ入力に関する回路は、CE スキャンレジスタ 200a から出力されるイネーブル信号 CEA-A により制御される。一方、読み出しポート用の AD スキャンレジスタ群 100b および DIO スキャンレジスタ群 400 のデータ出力に関する回路は、CE スキャンレジスタ 200b から出力されるイネーブル信号 CEA-B により制御される。

【0137】したがって、通常動作時には、DIO スキャンレジスタ群 400 を書き込みポート用のデータ入力ラッチまたは読み出しポート用のデータ出力ラッチとして利用できる。

【0138】このような通常動作時におけるラッチ機能が不要な場合には、図 5 のテスト回路 3 が用いられる。図 5 のテスト回路 3 が図 4 のテスト回路 3 と異なるのは次の点である。OR 回路 G7 およびインバータ回路 G8 が設けられていない。DIO スキャンレジスタ群 400 には、テストモード信号 TM がテストモードイネーブル信号 TMCEA として直接与えられる。CE スキャンレジスタ 200a から出力されるイネーブル信号 CEA-A の代わりに AND 回路 G4 から出力されるイネーブル信号 STBM が与えられる。

【0139】図 5 のテスト回路 3 では、通常動作時には DIO スキャンレジスタ群 400 がイネーブル状態（データ透過状態）になる。

【0140】(b) AD スキャンレジスタ群 100a 図 6 に、AD スキャンレジスタ群 100a の構成を示す。AD スキャンレジスタ群 100b の構成も図 6 に示される構成と同様である。AD スキャンレジスタ群 100a は n 個のアドレス用スキャンレジスタ（以下 AD スキャンレジスタと呼ぶ）110 を含む。これらの AD スキャンレジスタ 110 はシリアル入力端子 SIA とシリアル出力端子 SOA との間に直列に接続され、短いスキャニバス（n ビットのスキャンバス）を構成する。各 AD スキャンレジスタ 110 のシリアル出力端子 SOR は次段の AD スキャンレジスタ 110 のシリアル入力端子 SIR に接続される。

【0141】テスト時には、AD スキャンレジスタ群 100a にシフト動作により RAM2 のテストアドレスが設定される。

【0142】(c) AD スキャンレジスタ 110 図 7 に、AD スキャンレジスタ 110 の詳細な構成を示す。AD スキャンレジスタ 110 は、ラッチ回路 L1 および 2 入力ラッチ回路 L2 を含む。

【0143】ラッチ回路 L1 は次のような動作を行なう。イネーブル端子 EN に与えられるシフトクロック SCK2 がイネーブル状態になると、入力端子 D からデータを取り込み、それを保持するとともに出力端子 Q からそのデータを出力する。

【0144】2 入力ラッチ回路 L2 は次のような動作を

22

行なう。第 1 のイネーブル端子 EN1 に与えられるチップイネーブル信号 CEA-A がイネーブル状態になると、第 1 の入力端子 D1 からデータを取り込み、それを保持するとともに出力端子 Q からそのデータを出力する。また、第 2 のイネーブル端子 EN2 に与えられるシフトクロック SCK1 がイネーブル状態になると、第 2 の入力端子 D2 からデータを取り込み、それを保持するとともに出力端子 Q からそのデータを出力する。ただし、第 1 のイネーブル端子 EN1 および第 2 のイネーブル端子 EN2 に同時にイネーブル状態の信号が与えられることは禁止される。

【0145】AD スキャンレジスタ 110 の入力端子 axi には、ロジック回路 4（図 2 参照）からアドレス信号 AX-A (i) が与えられる。チップイネーブル信号 CEA-A がイネーブル状態になると、このアドレス信号 AX-A (i) は 2 入力ラッチ回路 L2 に取込まれるとともに、出力端子 ai からアドレス信号 A-A (i) として出力される。すなわち、チップイネーブル信号 CEA-A がイネーブル状態にある間、アドレス信号は入力端子 axi から出力端子 ai に伝達される。この状態では、ロジック回路 4 と RAM2 とのアドレス端子は論理的に接続されている。

【0146】逆にイネーブル信号 CEA-A がディスエーブル状態であるときには、ロジック回路 4 および RAM2 のアドレス端子は互いに非接続状態になる。このとき、イネーブル端子 EN2, EN にオーバラップしない 2 相のシフトクロック SCK1, SCK2 を与えると、シフト動作を行なうことができる。まず、2 入力ラッチ回路 L2 のイネーブル端子 EN2 に 1 相目のシフトクロック SCK1 が与えられると、シリアル入力端子 SIR 上のデータが 2 入力ラッチ回路 L2 に取込まれる。2 入力ラッチ回路 L2 の出力端子 Q はラッチ回路 L1 の入力端子 D に接続されているので、次にイネーブル EN に 2 相目のシフトクロック SCK2 が与えられると、このデータはラッチ回路 L1 に取込まれ、シリアル出力端子 SOR に出力される。このようにして、シリアル入力端子 SIR からシリアル出力端子 SOR へ 1 ビットのシフト動作が行なわれる。

【0147】(d) CE スキャンレジスタ 200a 図 8 に、CE スキャンレジスタ 200a の詳細な構成を示す。CE スキャンレジスタ 200b の構成も図 8 に示される構成と同様である。CE スキャンレジスタ 200a は、AD スキャンレジスタ 110 と同様にラッチ回路 L1 および 2 入力ラッチ回路 L2 を含み、さらにインバータ回路 G11, G12 および 2 入力 NAND 回路 G13 を含む。

【0148】CE スキャンレジスタ 200a のシフト動作は、AD スキャンレジスタ 110 のシフト動作と同様である。ただし、シフトクロックとして、AD スキャンレジスタ 110 のシフトクロックとは異なるシフトクロ

23

ック SCK1M, SCK2M が用いられる。

【0149】通常動作時には、イネーブル信号 TCE が “L” に設定され、イネーブル信号 STBM は “H” に設定される。その結果、イネーブル信号 CEX-A はインバータ回路 G12、2 入力ラッチ回路 L2 および NAND 回路 G13 を経由して出力端子 ce に伝達される。イネーブル信号 CEX-A はインバータ回路 G12 により反転された後、NAND 回路 G13 により反転されるので、結果としてイネーブル CEX-A およびイネーブル信号 CEX-A の論理レベルは同じになる。

【0150】テスト時には、イネーブル信号 STBM が “L” に設定され、イネーブル信号 TCE が “L” となる。ここでは、イネーブル信号 STBM およびイネーブル信号 TCE はローアクティブであると仮定している。

【0151】シフト動作により 2 入力ラッチ回路 L2 の出力端子 Q の出力信号が “H” に設定されているときには、イネーブル信号 CEX-A は “L” となる。それにより、RAM2 が動作する。2 入力ラッチ回路 L2 の出力端子 Q の出力信号が “L” に設定されているときには、イネーブル信号 TCE が出力端子 ce には伝わらず、イネーブル信号 CEX-A は “H” を保持する。したがって、RAM2 は待機状態になる。

【0152】このように、CE スキャンレジスタ 200a に設定されたデータにより、RAM2 の書き込みポートの動作を制御することが可能となる。

【0153】したがって、図 2 に示すように複数の RAM2 が半導体チップ 1 上に集積化されている場合には、シフト動作により所望のデータを各テスト回路 3 の CE スキャンレジスタ 200a に設定すれば、所望の RAM2 の書き込みポートを選択的に動作させてテストすることができる。

【0154】同様に、シフト動作により所望のデータを各テスト回路 3 の CE スキャンレジスタ 200b に設定すれば、所望の RAM2 の読み出しポートを選択的に動作させてテストすることができる。

【0155】図 8 の CE スキャンレジスタ 200a では、イネーブル信号 STBM がイネーブル信号 CEA-A として出力端子 cea から出力され、AD スキャンレジスタ 110 に与えられる。

【0156】図 9 に、CE スキャンレジスタ 200a の構成の他の例を示す。この CE スキャンレジスタ 200a では、2 入力 AND 回路 G14 が付加されている。それにより、通常動作時に、AD スキャンレジスタ 110 をアドレスラッチとして用いることができる。

【0157】イネーブル信号 STBM は、通常動作時は “H” に設定され、テスト時は “L” に設定される。したがって、通常動作時は、イネーブル信号 CEA-A およびイネーブル信号 CEX-A の論理レベルは同じになる。

【0158】通常動作時には、イネーブル信号 CEX-

24

A (ローアクティブ) は出力端子 ce に伝わると同時に出力端子 cea にも伝わる。イネーブル信号 CEA-A が “L” になると、図 7 に示される AD スキャンレジスタ 110a の 2 入力ラッチ回路 L2 は保持状態になる (アドレス信号をラッチする)。

【0159】このように、図 9 に示される CE スキャンレジスタ 200a を用いれば、通常動作時に AD スキャンレジスタ 110 をアドレスラッチとして用いることができる。

【0160】図 8 の CE スキャンレジスタ 200a はこのようなアドレスラッチ機能を有さない。図 8 および図 9 の CE スキャンレジスタ 200a は、必要に応じて使い分ける。

【0161】(e) WE スキャンレジスタ 300
図 10 に、WE スキャンレジスタ 300 の詳細な構成を示す。この WE スキャンレジスタ 300 の構成は、図 8 に示される CE スキャンレジスタ 200a の構成と同様である。

【0162】この WE スキャンレジスタ 300 のシフト動作は、AD スキャンレジスタ 110 (図 7 参照) と同様である。ただし、シフトクロックとして、図 8 の CE スキャンレジスタ 200a と同様に、シフトクロック SCK1M, SCK2M が用いられる。

【0163】通常動作時には、イネーブル信号 TWE が “L” に設定されてイネーブル信号 STBM が “H” に設定される。その結果、イネーブル信号 WEX-A がインバータ回路 G12、2 入力ラッチ回路 L2 および NAND 回路 G13 を経由して出力端子 we に伝達される。イネーブル信号 WEX-A はインバータ回路 G12 により反転された後、NAND 回路 G13 により反転されるので、結果としてイネーブル信号 WE-A およびイネーブル信号 WEX-A の論理レベルは同じになる。

【0164】テスト時には、イネーブル信号 STBM が “L” に設定され、イネーブル信号 TWE は “L” となる。ここでは、イネーブル信号 TWE はローアクティブであると仮定している。

【0165】シフト動作により 2 入力ラッチ回路 L2 の出力端子 Q の出力信号が “H” に設定されているときには、イネーブル信号 TWE が出力端子 we に伝達される。したがって、RAM2 のイネーブル信号 CEX-A (図 3 参照) がイネーブル状態であれば、書き込み動作が行なわれる。2 入力ラッチ回路 L2 の出力端子 Q の出力信号が “L” に設定されているときには、イネーブル信号 TWE は出力端子 we には伝わらず、イネーブル信号 WE-A は “H” を保持する。したがって、RAM2 の書き込み動作は行なわれない。

【0166】このように、WE スキャンレジスタ 300 に設定されたデータにより、RAM2 の書き込み動作を制御することが可能となる。

【0167】(f) DIO スキャンレジスタ群 400

図11に、DIOスキャンレジスタ群400の詳細な構成を示す。DIOスキャンレジスタ群400は、m個のDIOスキャンレジスタ410を含む。これらのDIOスキャンレジスタ410に、書込みデータDIX-A(m-1)～DIX-A(0)および読出しデータDO-B(m-1)～DO-B(0)が入力される。これらのDIOスキャンレジスタ410から、読出しデータDOX-B(m-1)～DOX-B(0)および書込みデータDIA(m-1)～DIA(0)が出力される。

【0168】DIOスキャンレジスタ410は、シリアル入力端子SIDとシリアル出力端子SODとの間に直列に接続され、短いスキャンパス(mビットのスキャンパス)を構成する。各DIOスキャンレジスタ410のシリアル出力端子SORは次段のDIOスキャンレジスタ410のシリアル入力端子SIRに接続される。

【0169】(g) DIOスキャンレジスタ410
図12に、DIOスキャンレジスタ410の詳細な構成を示す。DIOスキャンレジスタ410は、2入力ラッチ回路L2a, L2b、インバータ回路G15, G16、2入力NAND回路G17, G18およびエクスクリーシブOR回路G19を含む。入力端子dixには、ロジック回路4(図2参照)から書込みデータDIX-A(i)が与えられる。出力端子d0xにはRAM2(図2参照)からのデータまたはこのスキャンレジスタ410が保持するデータが出力され、ロジック回路4に与えられる。

【0170】シフト動作は、2入力ラッチ回路L2a, L2bの第2のイネーブル端子EN2に2相のシフトクロックSCK1M, SCK2Mを与えることにより行なわれる。シフト動作時には、イネーブル信号CEA-Aおよび比較信号CMPを“L”に設定しつつイネーブル信号TMCEAを“H”に設定する必要がある。この設定により、NAND回路G18の出力は“H”となり、NAND回路G17の出力は“L”となる。したがって、2入力ラッチ回路L2a, L2bの第1のイネーブル端子EN1の電位はともに“L”となる。

【0171】シフトクロックSCK1Mが与えられると、シリアル入力端子SIRから1段目の2入力ラッチ回路L2aにデータが取込まれる。このデータは、インバータ回路G15により反転され、2段目の2入力ラッチ回路L2bの第2の入力端子D2に与えられる。次にシフトクロックSCK2Mが与えられると、その反転されたデータは2段目の2入力ラッチ回路L2bに取込まれる。このデータは、インバータ回路G16により再び反転され、シリアル出力端子SORに出力される。

【0172】このように、2相のシフトクロックSCK1M, SCK2Mにより、1ビットのシフト動作が行なわれる。シリアルデータは、インバータ回路G15, G16により2回反転されるので、シリアル入力端子SIR

Rのデータおよびシリアル出力端子SORのデータは同じ論理レベルとなる。

【0173】上記のように、図9のCEスキャンレジスタ200a(または200b)を用いれば、図7のADスキャンレジスタ110が通常動作時にはアドレスラッチ回路として動作する。図12のDIOスキャンレジスタ410の2入力ラッチ回路L2aには図7のADスキャンレジスタ110と同様にイネーブル信号CEA-Aが与えられているので、通常動作時には2入力ラッチ回路L2aがデータ入力ラッチとして動作する。

【0174】一方、2入力ラッチ回路L2bに与えられるテストモードイネーブル信号TMCEAは、図4に示されるようにインバータ回路G8およびOR回路G7から構成されるゲート回路により生成される。

【0175】通常動作時にテストモード信号TMは“L”であるので、テストモードイネーブル信号TMCEAはイネーブル信号CEA-Bの反転信号となる。また、通常動作時に比較信号CMPは“L”に設定されているので、2入力NAND回路G18の出力は“H”となる。それにより、テストモードイネーブル信号TMCEAは2入力NAND回路G17により反転され、2入力ラッチ回路L2bの第1のイネーブル端子EN1に伝達される。

【0176】イネーブル信号CEA-Bは図4に示されるインバータ回路G8により反転され、その後2入力NAND回路G17により反転されるので、結果として、イネーブル信号CEA-Bは2入力ラッチ回路L2bの第1のイネーブル端子EN1に非反転信号として伝達される。したがって、通常動作時には、2入力ラッチ回路L2bはデータ出力ラッチとして動作する。

【0177】これらのラッチ動作はイネーブル信号CEA-A(イネーブル信号CEX-A)またはイネーブル信号CEA-B(イネーブル信号CEX-B)の立下がりに応答して行なわれる。

【0178】テスト時には、テストモード信号TMは“H”であるので、テストモードイネーブル信号TMCEAはイネーブル信号CEA-Bに関わらず“H”となる。テスト時には、シフト動作により、RAM2へ与えられる書込みデータおよび読出し期待値データがDIOスキャンレジスタ410に設定される。書込みデータは2入力ラッチ回路L2aに設定され、インバータ回路G15により反転されたデータが読出し期待値データとなる。シフト動作により2入力ラッチ回路L2a, L2bが保持するデータは、互いに逆の論理になる。したがって、読出し期待値データは、2入力ラッチ回路L2bにも設定される。

【0179】RAM2から与えられる読出しデータDO-B(i)は入力端子d0に与えられる。この読出しデータDO-B(i)はイクスクリーシブOR回路G19により読出し期待値データ(インバータ回路G15の出

力)と比較される。RAM2が正常なときには、イクスクルーシブOR回路G19の出力は“L”になる。RAM2に故障がある場合には(読み出し期待値データと異なるデータがRAM2から読み出された場合)、イクスクルーシブOR回路G19の出力は“H”になる。

【0180】この状態で比較信号CMPが“H”となる。RAM2が正常なときには、NAND回路G18の出力が“H”に保持される。RAM2に故障がある場合には、NAND回路G18の出力端子にローアクティブなクロックが発生する。NAND回路G18の出力はNAND回路G17により反転されて2入力ラッチ回路L2bの第1のイネーブル端子EN1に与えられる。したがって、RAM2が正常なときには、第1のイネーブル端子EN1の電位が“L”に保持され、RAM2に故障があるときには、第1のイネーブル端子EN1にはハイアクティブなクロックが与えられる。

【0181】このように、読み出し期待値データと異なるデータがRAM2から読み出されたときには、2入力ラッチ回路L2bの第1のイネーブル端子EN1にハイアクティブなクロックが与えられる。それにより、RAM2からの読み出しデータ(読み出し期待値データとは逆の論理のデータ)が2入力ラッチ回路L2bに取込まれる。その結果、2入力ラッチ回路L2bが保持するデータは反転する。RAM2が正常なときには、このような保持データの反転は生じない。したがって、2入力ラッチ回路L2bはRAM2のテスト結果を保持していることになる。

【0182】図5のテスト回路3を用いる場合には、図12のDIOスキャンレジスタ410においてイネーブル信号CEA-Aの代わりにイネーブル信号STBMが与えられ、イネーブル信号TMCEAの代わりにテストモード信号TMが与えられる。

【0183】通常動作時には、イネーブル信号STBMが“H”に設定され、テストモード信号TMが“L”に設定される。この設定により、2入力ラッチ回路L2a, L2bの第1のイネーブル端子EN1の電位はともに“H”となる。このとき、入力端子dixに与えられた書き込みデータDIX-A(i)は、2入力ラッチ回路L2aに取込まれるとともに、出力端子diに伝達される。また、入力端子doiに与えられた読み出しデータDO-B(i)は、2入力ラッチ回路L2bに取込まれるとともに出力端子dioxに伝達される。

【0184】この状態では、RAM2およびロジック回路4のデータ入出力端子が互いに論理的に接続されている。

【0185】図13に、DIOスキャンレジスタ410の構成の他の例を示す。図13のDIOスキャンレジスタ410では、図12のDIOスキャンレジスタ410とは逆に、2入力ラッチ回路L2bが1段目のラッチ回路となり、2入力ラッチ回路L2aが2段目のラッチ回

路となる。このDIOスキャンレジスタ410では、2段目の2入力ラッチ回路L2aが書き込みデータおよび読み出し期待値データを保持し、1段目の2入力ラッチ回路L2bがテスト結果を保持する。

【0186】図11のDIOスキャンレジスタ群400は、図12および図13のDIOスキャンレジスタ410のいずれかを用いて構成される。

【0187】なお、これらのDIOスキャンレジスタ410は、この発明の重要な構成要素の1つである。このように、図12および図13に示されるDIOスキャンレジスタ410は、一方の2入力ラッチ回路が書き込みデータおよび読み出し期待値データ(書き込みデータの反転データ)を保持しつつ他方の2入力ラッチ回路がテスト結果を保持するという特徴を持っている。

【0188】(h) DMYスキャンレジスタ500
図14に、DMYスキャンレジスタ500の詳細な構成を示す。このDMYスキャンレジスタ500は、ラッチ回路L1a, L1bを含む。このDMYスキャンレジスタ500は、2相のシフトクロックで動作する単純なソフトレジスタである。

【0189】まず、1相目のシフトクロックSCK1Mが与えられると、シリアル入力端子SIR上のデータがラッチ回路L1aに取込まれる。ラッチ回路L1aの出力端子Qはラッチ回路L1bの入力端子Dに接続されているので、次に2相目のシフトクロックSCK2Mが与えられると、このデータはラッチ回路L1bに取込まれ、シリアル出力端子SORに出力される。

【0190】このようにして、シリアル入力端子SIRからシリアル出力端子SORへ1ビットのシフト動作が行なわれる。

【0191】(i) ラッチ回路L1

図15に、ラッチ回路L1の構成の一例(CMOS回路の例)を示す。ラッチ回路L1は、NチャネルトランジスタN1～N3、PチャネルトランジスタP1～P3およびインバータ回路G20～G22を含む。

【0192】イネーブル端子ENに“H”的信号が与えられると、インバータ回路G20の出力は“L”になる。その結果、トランジスタN3, P3がオンし、トランジスタP1, N1がオフする。入力端子Dに与えられたデータは、トランジスタN3, P3を通過し、インバータ回路G21により反転され、再びインバータ回路G22により反転されて出力端子Qに伝達される。したがって、入力端子Dおよび出力端子Q間でデータの反転は生じない。

【0193】イネーブル端子ENに“L”的信号が与えられると、インバータ回路G20の出力は“H”になる。その結果、トランジスタN3, P3がオフし、トランジスタP1, N1がオンする。したがって、トランジスタP2のソースに電源電位VDDが与えられ、トランジスタN2のソースに接地電位GNDが与えられる。ト

ランジスタN2, P2のゲートは互いに接続され、かつそれらのドレインも互いに接続されているので、トランジスタN2, P2のペアはインバータ回路として機能する。

【0194】このとき構成されるインバータ回路は、インバータ回路G21とともに記憶ループを構成する。すなわち、互いに、一方の出力が他方の入力に供給される。出力端子Qにはこの記憶ループが保持しているデータが出力される。

【0195】記憶ループに保持されるデータは、イネーブル端子ENの信号が“L”に変化する直前に入力端子Dに与えられていたデータである。

【0196】(j) リセット付きラッチ回路600
図16に、リセット付きラッチ回路600の詳細な構成を示す。リセット付きラッチ回路600が図15のラッチ回路L1と異なるのは、インバータ回路G21の代わりに2入力NAND回路G23を設けたことである。

【0197】リセット端子Rに“H”的信号が与えられると、NAND回路G23はインバータ回路として機能する。したがって、この状態では、リセット付きラッチ回路600は、図15のラッチ回路L1と同じ動作を行なう。すなわち、イネーブル端子ENに“H”的信号が与えられると、入力端子Dに与えられたデータが出力端子Qに伝達される。イネーブル端子ENに“L”的信号が与えられると、イネーブル端子ENの信号が“L”に変化する直前に入力端子Dに与えられていたデータが保持される。

【0198】リセット端子Rに“L”的信号が与えられると、NAND回路G23の出力は“H”になり、出力端子Qにはその出力の反転信号である“L”的信号が出力される。すなわち、リセット付きラッチ回路600はリセットされたことになる。このように、このリセット付きラッチ回路600のリセット端子Rはローアクティブになっている。

【0199】(k) 2入力ラッチ回路L2
図17に、2入力ラッチ回路L2の構成の一例(CMOS回路の例)を示す。この2入力ラッチ回路L2は、NチャネルトランジスタN1～N5、PチャネルトランジスタP1～P5およびインバータ回路G20, G21, G22, G24を含む。

【0200】第1および第2のイネーブル端子EN1, EN2はハイアクティブとなっており、両方の電位を同時に“H”に設定することは禁止されている。

【0201】第1および第2のイネーブル端子EN1, EN2の両方に“L”的信号が与えられると、インバータ回路G20, G24の出力はともに“H”となる。その結果、トランジスタN3, P3, N5, P5がオフし、トランジスタP1, N1, P4, N4がオンする。したがって、トランジスタP2のソースに電源電位VDが与えられ、トランジスタN2のソースに接地電位G

NDが与えられる。トランジスタN2, P2のゲートは互いに接続され、それらのドレインも互いに接続されているので、トランジスタN2, P2のペアはインバータ回路として機能する。

【0202】このとき構成されるインバータ回路はインバータ回路G21とともに記憶ループを構成する。すなわち、互いに、一方の出力が他方の入力に供給される。出力端子Qにはこの記憶ループが保持しているデータが出力される。

【0203】記憶ループに保持されるデータは第1および第2のイネーブル端子EN1, EN2の信号のどちらかが“H”的ときに第1または第2の入力端子D1, D2に与えられていたデータである。

【0204】第1のイネーブル端子EN1に“H”的信号が与えられると、インバータ回路G24の出力は“L”となる。その結果、トランジスタN5, P5がオンし、トランジスタP4, N4がオフする。第1の入力端子D1に与えられたデータはトランジスタN5, P5を通過し、インバータ回路G21により反転され、再びインバータ回路G22により反転されて出力端子Qに伝達される。したがって、第1の入力端子D1と出力端子Qとの間でデータの反転は生じない。

【0205】第2のイネーブル端子EN2に“H”的信号が与えられると、インバータ回路G20の出力は“L”となる。その結果、トランジスタN3, P3はオンし、トランジスタP1, N1がオフする。第2の入力端子D2に与えられたデータはトランジスタN3, P3を通過し、インバータ回路G21により反転され、再びインバータ回路G22により反転されて出力端子Qに伝達される。したがって、第2の入力端子D2と出力端子Qとの間でデータの反転は生じない。

(5) テスト回路3(図4)の動作

図4のテスト回路3の動作を説明する。リセット付きラッチ回路600の出力端子Qからはモード制御信号MDが outputされる。モード制御信号MDが“0”的場合を非バイパス状態と呼び、モード制御信号MDが“1”的場合をバイパス状態と呼ぶ。インバータ回路G2はモード制御信号MDの反転信号を出力する。

【0206】(a) バイパス状態の動作
マルチブレクサ700は、シリアル入力端子SIBのデータを選択し、そのデータをシリアル出力端子SOBに与える。すなわち、シリアルデータはスキャンレジスタ群100a, 100b, 200a, 200b, 300, 400, 500をバイパスする。このとき、インバータ回路G2の出力は“0”となり、AND回路G4, G5, G6の出力は“0”に固定される。

【0207】したがって、シフトクロックSCK1, SCK2が与えられても、これらがCEスキャンレジスタ200a, 200b, WEスキャンレジスタ300, DIOスキャンレジスタ群400およびDMYスキャンレ

ジスタ500に与えられることはない。したがって、これらのスキャンレジスタ群200a, 200b, 300, 400, 500が保持するデータは変化しない。

【0208】これに対して、ADスキャンレジスタ群100a, 100bにはシフトクロックSCK1, SCK2が直接与えられる。したがって、バイパス状態でもADスキャンレジスタ群100a, 100bはシフト動作を行なうことができる。また、マルチブレクサ800はシリアル入力端子SIBからのデータを選択しているので、ADスキャンレジスタ群100a, 100bの両方に同じアドレス信号がシフトインされる。

【0209】また、ロウアクティブなストローブ信号STBが与えられると、ハイアクティブな比較信号CMPが発生するが、イネーブル信号STBMは、“0”に固定される。なお、この比較信号CMPはRAM2のテスト時に用いられる。

【0210】(b) 非バイパス状態の動作

マルチブレクサ700は、DMYスキャンレジスタ500のシリアル出力端子SOR(図14参照)のデータを選択し、そのデータをシリアル出力端子SOBに与える。また、マルチブレクサ800は、ADスキャンレジスタ群100aのシリアル出力端子SOAのデータを選択し、そのデータをADスキャンレジスタ群100bのシリアル入力端子SIAに与える。すなわち、シリアルデータはスキャンレジスタ群100a, 100b, 200a, 200b, 300, 400, 500を通過する。

【0211】インバータ回路G2の出力は“1”になる。テストモード信号TMが“1”に設定されかつシフトクロックSCK1, SCK2が与えられると、これらのシフトクロックSCK1, SCK2はAND回路G5, G6を通過してシフトクロックSCK1M, SCK2Mとしてスキャンレジスタ群200a, 200b, 300, 400, 500に与えられる。それにより、これらのスキャンレジスタ群200a, 200b, 300, 400, 500はシフト動作を行なう。

【0212】このとき、ADスキャンレジスタ群100a, 100bにはシフトクロックSCK1, SCK2が直接与えられるので、ADスキャンレジスタ群100a, 100bは他のスキャンレジスタ群200a, 200b, 300, 400, 500と同時にシフト動作を行なう。なお、非バイパス状態では、比較信号CMPは“0”に固定される。

【0213】(c) 動作の要約

バイパス状態では、シリアルデータはシリアル入力端子SIBから直接シリアル出力端子SOBに伝わり、ADスキャンレジスタ群100a, 100bのみがシフト動作を行なう。非バイパス状態では、シリアル入力端子SIBのシリアルデータはテスト回路3内のすべてのスキャンレジスタ内をシフトされ、シリアル出力端子SOBに伝わる。RAM2のテスト時には、マルチブレクサ7

00, 800がバイパス状態に設定されるとともにローアクティブなストローブ信号STBが与えられて比較信号CMPが発生される。

(6) ランダムマーチテスト時の動作

次に、図4のテスト回路3を用いたランダムマーチテストを説明する。

【0214】(a) 初期化動作(図18参照)

① リセットサイクル(ステップS1; 図19参照)
まず、リセット信号RSTが“L”になる。これにより、ラッチ回路600から出力されるモード制御信号MDが“0”になる。それにより、テスト回路3は非バイパス状態に設定される。したがって、すべてのスキャンレジスタがシフト可能な状態になる。

【0215】② スキャンインサイクル(ステップS2, S3; 図20参照)

図2に示されるような複数のテスト回路3は直列に接続され、長いスキャンパスを構成する。これらの複数のテスト回路3はすべて非バイパス状態になり、すべてのスキャンレジスタがシフト可能な状態になる。したがって、シフト動作により各テスト回路3内の任意の位置のスキャンレジスタに所望のデータを設定することができる。これを、スキャンイン動作と呼ぶ。図20は、1ビット分のスキャンイン動作を示す。

【0216】RAM2のテスト前には、スキャンイン動作により各スキャンレジスタに初期値が設定される。すべてのテスト回路3内のDMYスキャンレジスタ500には“1”が設定される。テストの対象となるRAM2のテスト回路3内のCEスキャンレジスタ200a, 200bおよびWEスキャンレジスタ300には“1”が設定され、ADスキャンレジスタ群100a, 100bに所望の初期値(たとえば0番地)が設定され、DIOスキャンレジスタ群400に書き込みデータが設定される。

【0217】③ モードセットサイクル(ステップS4; 図21参照)

次に、“H”のパルスを有するモード設定信号MDSTが与えられる。これにより、すべてのテスト回路3内のリセット付きラッチ回路600から出力されるモード制御信号MDが“1”になり、すべてのテスト回路3はバイパス状態に設定される。この状態では、すべてのテスト回路3のシリアル入力端子SIBには同じデータ(シリアル入力端子SICのデータ)が与えられる。

【0218】バイパス状態においても、ADスキャンレジスタ群100a, 100bはシフト動作を行なうことができるので、シリアル入力端子SICのデータを各テスト回路3のADスキャンレジスタ群100a, 100bにスキャンインすることができる。

【0219】ランダムマーチテストでは、全周期系列をADスキャンレジスタ群100a, 100bにスキャンインすることによりテストアドレスが更新される。

33

【0220】(b) ライトオール動作 (図22参照)
ランダムマーチテストでは、全周期系列のスキャンインによりアドレスを更新しながら全アドレスについて書き込みを行なう手順がある。これを、ライトオール動作と呼ぶ (ステップS11, S12; 図23参照)。

【0221】シフトクロックSCK1, SCK2を与えることによりADスキャンレジスタ群100a, 100bの内容が更新される。シフトクロックSCK1のタイミングでアドレス信号A-A (i) が確定する。したがって、ローアクティブなイネーブル信号TCEが与えられると、RAM2はこのアドレス信号に基づいて動作を開始する。さらに、イネーブル信号TCEがアクティブな間にローアクティブなイネーブル信号TWEが与えられると、RAM2はそのアドレス信号に基づいて書き込み動作を行なう。

【0222】(c) リード・ライトオール動作 (図24参照)

ランダムマーチテストでは、全周期系列のスキャンインによりアドレスを更新しながら全アドレスについて読み出しおよび書き込みを行なう手順がある。これをリード・ライトオール動作と呼ぶ。

【0223】① リード・ライトサイクル (ステップS21, S22; 図25参照)

シフトクロックSCK1, SCK2を与えることによりADスキャンレジスタ群100a, 100bの内容は更新される。シフトクロックSCK1のタイミングでアドレス信号A-A (i), A-B (i) は確定する。したがって、ローアクティブなイネーブル信号TCEが与えられると、RAM2はこのアドレス信号に基づいて動作を開始する。一定の遅延の後、RAM2から読み出しだデータDO-B (i) が出力される。

【0224】その後、ローアクティブなストローブ信号STBが与えられると、読み出しだデータDO-B (i) とDIOスキャンレジスタ群400が保持する読み出しえ期待値データ (書き込みデータの逆の論理) とが比較され、その結果がDIOスキャンレジスタ群400に格納される。

【0225】その後、イネーブル信号TCEがアクティブな間にローアクティブなイネーブル信号TWEが与えられると、RAM2はこのアドレス信号に基づいて書き込み動作を行なう。

【0226】② リセットサイクル (ステップS23; 図19参照)

リセット信号RSTが“L”になり、すべてのテスト回路3が非バイパス状態に設定される。

【0227】③ アジャストサイクル (ステップS24; 図26参照)

テスト結果は各DIOスキャンレジスタ410の2入力ラッチ回路L2bに保持されているので、図13のDIOスキャンレジスタ410を用いる場合には、リセット

34

サイクルの後にアジャストサイクルが必要である。

【0228】アジャストサイクルでは、シフトクロックSCK1を与えずにシフトクロックSCK2のみを与える。これにより、2入力ラッチ回路L2aにテスト結果が転送され、シリアル出力端子SORに与えられる。

【0229】なお、図12のDIOスキャンレジスタ410においてはテスト結果はシリアル出力端子SORに出力されているので、アジャストサイクルは必要ではない。

【0230】④ スキャンアウトサイクル (ステップS25, S26; 図27参照)

DIOスキャンレジスタ群400に保持されたテスト結果は、シフト動作により取出される。これをスキャンアウト動作と呼ぶ。シフトクロックSCK2に同期してシリアル出力端子SOCにすべてのスキャンレジスタのデータが順に現われる。外部のLSIテストによりテストストローブタイミングでシリアル出力端子SOCのデータをテストする。

(7) ランダムマーチテストの全体動作

20 ランダムマーチテストでは、データ“0”/“1”を変えるながら同じ手順で2回テスト動作を行なう。データが“0”的場合のテスト手順を図28に示し、データが“1”的場合のテスト手順を図29に示す。これらのテスト手順は初期化動作のスキャンインデータが異なるだけである。すなわち、DIOスキャンレジスタ群400に初期データとして“0”を設定するか“1”を設定するかのみが異なる。これにより、RAM2への書き込みデータおよび読み出しえ期待値データを変化させる。

【0231】図28のテスト手順を説明する。

【0232】① 初期化動作 (0) (ステップS31)
DIOスキャンレジスタ群400に書き込みデータ“0”を設定する。

【0233】② ライトオール動作 (ステップS32)
すべてのアドレスについて“0”書き込みを行なう。

【0234】③ 初期化動作 (1) (ステップS33)
DIOスキャンレジスタ群400に書き込みデータ“1”を設定する。これにより、読み出しえ期待値データとして“0”が設定される。

【0235】④ リードライトオール動作 (ステップS34)

すべてのアドレスについて、“0”読み出しおよび“1”書き込みを行なう。このとき、読み出しだデータはDIOスキャンレジスタ群400内で読み出しえ期待値データと比較される。

【0236】⑤ 初期化動作 (0) (ステップS35)
DIOスキャンレジスタ群400に書き込みデータ“0”を設定する。これにより、読み出しえ期待値データとして“1”が設定される。

【0237】⑥ リード・ライトオール動作 (ステップS36)

35

すべてのアドレスについて、“1”読出しおよび“0”書込みを行なう。このとき、読出しデータはDIOスキャンレジスタ群400内で読出し期待値データと比較される。

【0238】図29のテスト手順では、ステップS41～S46が図28のステップS31～S36に対応し、データの“0”／“1”が異なるだけである。

【0239】(8) 第2の実施例

図30は、第2の実施例による半導体集積回路装置に含まれる3ポートRAMおよびテスト回路の概略的な構成を示すブロック図である。

【0240】3ポートRAM2bは、書込みポート（ポートA）、読出しポート（ポートB）および読出しポート（ポートC）を有する。テスト回路3bのシリアル入力端子SIBとシリアル出力端子SOBとの間に、ADスキャンレジスタ群100a、マルチブレクサ800、ADスキャンレジスタ群100b、マルチブレクサ900、ADスキャンレジスタ群100c、DIOスキャンレジスタ群400、DOスキャンレジスタ群1000およびマルチブレクサ700が直列に接続され、スキャンバスを構成する。

【0241】ADスキャンレジスタ群100aは、3ポートRAM2bにポートA用のアドレス信号A-Aを供給する。ADスキャンレジスタ群100bは、3ポートRAM2bにポートB用のアドレス信号A-Bを供給する。ADスキャンレジスタ群100cは、3ポートRAM2bにポートC用のアドレス信号A-Cを供給する。

【0242】DIOスキャンレジスタ群400は、3ポートRAM2bのポートAおよびポートBで共用されている。DIOスキャンレジスタ群400は、3ポートRAM2bのポートAに書込みデータDI-Aを与え、3ポートRAM2bのポートBからの読出しデータDO-Bを受ける。DOスキャンレジスタ群1000は、3ポートRAM2bのポートCからの読出しデータDO-Cを受ける。

【0243】マルチブレクサ800、900は、ADスキャンレジスタ群100a、100b、100cのすべてに同一のアドレス信号を供給するために設けられている。

【0244】マルチブレクサ800、900がバイパス状態に設定されると、シリアル入力端子SIBからの信号がADスキャンレジスタ群100a、100b、100cに入力される。したがって、ポートA、ポートBおよびポートCに同一のアドレス信号が与えられる。

【0245】マルチブレクサ800、900が非バイパス状態に設定されているときには、ADスキャンレジスタ群100aの出力信号がADスキャンレジスタ群100bに与えられ、ADスキャンレジスタ群100bの出力信号がADスキャンレジスタ群100cに与えられる。

36

【0246】図30のテスト回路3bにおいては、ポートAとポートB、Cとの組合せによるランダムマーチテストを実施することができる。この場合、ポートB、Cから同時にデータを読出すことができる。

【0247】図31に、DOスキャンレジスタ群1000の詳細な構成を示す。DOスキャンレジスタ群1000はm個のDOスキャンレジスタ1010を含む。これらのDOスキャンレジスタ1010に、読出しデータDO-C(m-1)～DO-C(0)が入力される。これらのDOスキャンレジスタ1010から、読出しデータDOX-C(m-1)～DOX-C(0)が出力される。

【0248】DOスキャンレジスタ1010は、シリアル入力端子SIDとシリアル出力端子SODとの間に直列に接続され、短いスキャンバス(mビットのスキャンバス)を構成する。各DOスキャンレジスタ1010のシリアル出力端子SORは次段のDOスキャンレジスタ1010のシリアル入力端子SIRに接続される。

【0249】図32に、DOスキャンレジスタ1010の詳細な構成を示す。このDOスキャンレジスタ1010が図12のDIOスキャンレジスタ410と異なるのは次の点である。2入力ラッチ回路L2aの代わりに1入力ラッチ回路Laが設けられている。入力端子dixおよび出力端子diは設けられていない。また、イネーブル信号CEA-Aも与えられていない。その他の部分の構成は、図12に示される構成と同様である。このように、回路が簡略化される。

【0250】ポートCが書込みポートである場合は、DOスキャンレジスタ群1000の代わりに、図33に示されるDIスキャンレジスタ群1100が用いられる。DIスキャンレジスタ群1100は、m個のDIスキャンレジスタ1110を含む。これらのDIスキャンレジスタ1110に、書込みデータDIX-C(m-1)～DIX-C(0)が入力される。これらのDIスキャンレジスタ1110から書込みデータDI-C(m-1)～DI-C(0)が出力される。

【0251】DIスキャンレジスタ1110は、シリアル入力端子SIDとシリアル出力端子SODとの間に直列に接続され、短いスキャンバス(mビットのスキャンバス)を構成する。各DIスキャンレジスタ1110のシリアル出力端子SORは次段のDIスキャンレジスタ1110のシリアル入力端子SIRに接続される。

【0252】図34に、DIスキャンレジスタ1110の詳細な構成を示す。このDIスキャンレジスタ1110が図12のDIOスキャンレジスタ410と異なるのは次の点である。2入力ラッチ回路L2bの代わりに1入力ラッチ回路Lbが設けられている。インバータ回路G15、G16、2入力NAND回路G17、G18およびイクスクルーシブOR回路G19は設けられていない。出力端子d0xおよび入力端子d0も設けられていない。

ない。比較信号CMPおよびイネーブル信号TMCEAは与えられない。その他の部分の構成は、図12に示される構成と同様である。このように、回路が簡単化される。

【0253】(9) DIOスキャンレジスタの他の例
図35は、図12のDIOスキャンレジスタ410と同様の機能を有するDIOスキャンレジスタをMOS回路で構成した例を示す。図35のDIOスキャンレジスタ410は、NチャネルMOSトランジスタN31～N34およびインバータG31～G34を含む。インバータG31, G32はレシオ型ラッチ回路L31を構成し、インバータG33, G34もレシオ型L32を構成する。インバータG32, G34は、それぞれインバータG31, G33よりも小さい駆動能力を有する。図12および図35において同一符号が付された部分は同一または相当部分を示す。

【0254】なお、図35に示されるようにNチャネルMOSトランジスタを用いる代わりに、PチャネルMOSトランジスタを用いてもよい。

【0255】また、図35のレシオ型ラッチ回路の代わりに図36および図37に示されるようにCMOS2入力ラッチ回路を用いても図12のDIOスキャンレジスタ410と同様の機能を有するDIOスキャンレジスタ410を構成することはできる。

【0256】図36のDIOスキャンレジスタ410では、ノードBに直接出力端子d₀xが接続される。一方、図37のDIOスキャンレジスタ410では、ノードBが2つのインバータを介して出力端子d₀xに接続される。図36および図37において、図12および図35と同一符号が付された部分は同一または相当部分を示す。

【0257】図38は、図13のDIOスキャンレジスタ410と同様の機能を有するDIOスキャンレジスタをレシオ型ラッチ回路を用いて構成した例を示す。図38において図13と同一符号が付された部分は同一または相当部分を示す。

【0258】図38のDIOスキャンレジスタ410の動作は、図12、図13、図35～図37のDIOスキャンレジスタ410の動作とほとんど同様である。ただし、図38のスキャンレジスタ410では、テスト結果がマスタラッチに保持されているので、シフト動作によるテスト結果の読出しの際に注意が必要である。すなわち、テスト結果を非破壊で読出すためには、シリアルクロックSCK2を与えることによりスレーブラッチにテスト結果を転送し、その後シフト動作を行なう必要がある。

【0259】(10) 比較回路およびラッチイネーブル回路の他の例

図12、図13、図35ないし図38の例では、入力端子d₀のデータとラッチ回路L2a, L31に保持され

たデータとを比較する比較回路としてイクスクルーシブOR回路G19が用いられ、かつその比較結果に基づいてラッチ回路L2b, L32に入力端子d₀のデータをラッチさせるラッチイネーブル回路としてNAND回路G17, G18が使用されている。しかし、比較回路およびラッチイネーブル回路はこのような論理回路の組合せに限定されない。

【0260】たとえば、図39に示されるように、比較回路としてイクスクルーシブNOR回路G41を用いて、ラッチイネーブル回路としてNOR回路G42およびOR回路G43を用いてもよい。NOR回路G42の一方の入力端子はイクスクルーシブNOR回路G41の出力端子に接続され、他方の入力端子は反転比較信号/CMPを受ける反転比較端子に接続される。OR回路G43の一方の入力端子はNOR回路G42の出力端子に接続され、他方の入力端子は反転イネーブル信号/TMCEAを受ける反転イネーブル端子に接続される。

【0261】(11) 他の適用例

上記実施例では、この発明を、デュアルポートRAMを含む半導体集積回路装置および3ポートRAMを含む半導体集積回路装置に適用した例を説明しているが、この発明は、同様にして、4つ以上のポートを有するRAMを含む半導体集積回路装置にも適用することができる。

【0262】

【発明の効果】第1および第2の発明によれば、1つのスキャンレジスタでデータの入力および出力を行なうことが可能となる。また、記憶手段の読出しポートと書き込みポートとでスキャンレジスタを共用することができる。それにより、スキャンバスの規模が小さくなる。

【0263】特に、第2の発明によれば、スキャンバスの大部分を通常動作時に利用することができる。

【0264】したがって、スキャンバスの付加による半導体集積回路装置のチップ面積および製造コストの増大を抑制することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の主要部の構成を示すブロック図である。

【図2】この発明の第1の実施例の全体の構成を示すブロック図である。

【図3】テスト回路とRAMとの関係を示す図である。

【図4】テスト回路の構成の一例を示すブロック図である。

【図5】テスト回路の構成の他の例を示すブロック図である。

【図6】ADスキャンレジスタ群の構成を示すブロック図である。

【図7】ADスキャンレジスタの構成を示すブロック図である。

【図8】CEスキャンレジスタの構成の一例を示すブロック図である。

39

【図9】CEスキャンレジスタの構成の他の例を示すブロック図である。

【図10】WEスキャンレジスタの構成を示すブロック図である。

【図11】DIOスキャンレジスタ群の構成を示すブロック図である。

【図12】DIOスキャンレジスタの構成の一例を示すブロック図である。

【図13】DIOスキャンレジスタの構成の他の例を示すブロック図である。

【図14】DMYスキャンレジスタの構成を示すブロック図である。

【図15】ラッチ回路の構成を示す回路図である。

【図16】リセット付きラッチ回路の構成を示す回路図である。

【図17】2入力ラッチ回路の構成を示す回路図である。

【図18】初期化動作を説明するためのフローチャートである。

【図19】リセットサイクルを示す波形図である。

【図20】スキャンインサイクルを示す波形図である。

【図21】モードセットサイクルを示す波形図である。

【図22】ライトオール動作を説明するためのフローチャートである。

【図23】ライトサイクルを示す波形図である。

【図24】リード・ライトオール動作を説明するためのフローチャートである。

【図25】リード・ライトサイクルを示す波形図である。

【図26】アジャストサイクルを示す波形図である。

【図27】スキャンアウトサイクルを示す波形図である。

【図28】ランダムマーチテストを説明するためのフローチャートである。

【図29】ランダムマーチテストを説明するためのフローチャートである。

【図30】この発明の第2の実施例の主要部の構成を示すブロック図である。

【図31】DOスキャンレジスタ群の構成を示すブロック図である。

【図32】DOスキャンレジスタの構成を示す回路図である。

【図33】DIスキャンレジスタ群の構成を示すブロック図である。

【図34】DIスキャンレジスタの構成を示す回路図である。

【図35】DIOスキャンレジスタの構成の他の例を示す回路図である。

【図36】DIOスキャンレジスタの構成の他の例を示す回路図である。

40

【図37】DIOスキャンレジスタの構成の他の例を示す回路図である。

【図38】DIOスキャンレジスタの構成の他の例を示す回路図である。

【図39】比較回路およびラッティイネーブル回路の構成の他の例を示す図である。

【図40】第1の従来技術を示すブロック図である。

【図41】ADスキャンレジスタの構成を示す回路図である。

10 【図42】DIスキャンレジスタの構成を示す回路図である。

【図43】DOスキャンレジスタの構成を示す回路図である。

【図44】第1の従来技術におけるシフト動作を示すタイミング図である。

【図45】第1の従来技術におけるテスト時の動作を示すタイミング図である。

【図46】第2の従来技術を示すブロック図である。

【図47】第2の従来技術におけるテスト回路の構成を示すブロック図である。

【図48】RAMの一例を示す図である。

【図49】書き込み動作を示す波形図である。

【図50】読み出し・書き込み動作を示す波形図である。

【図51】全周期系列を説明するための図である。

【図52】第3の従来技術における構成の一例を示すブロック図である。

【図53】第3の従来技術における構成の他の例を示すブロック図である。

30 【図54】デュアルポートRAMおよびテスト回路を含む半導体集積回路装置を示すブロック図である。

【符号の説明】

1 半導体チップ

2 デュアルポートRAM

2 b 3ポートRAM

3, 3 b テスト回路

100 a, 100 b, 100 c ADスキャンレジスタ群

400 DIOスキャンレジスタ群

410 DIOスキャンレジスタ

500 DMYスキャンレジスタ

600 リセット付きラッチ回路

700, 800, 900 マルチプレクサ

L2 a, L2 b 2入力ラッチ回路

G17, G18 NAND回路

G19 イクスクルーシブOR回路

di x, do 入力端子

di, do x 出力端子

SIR シリアル入力端子

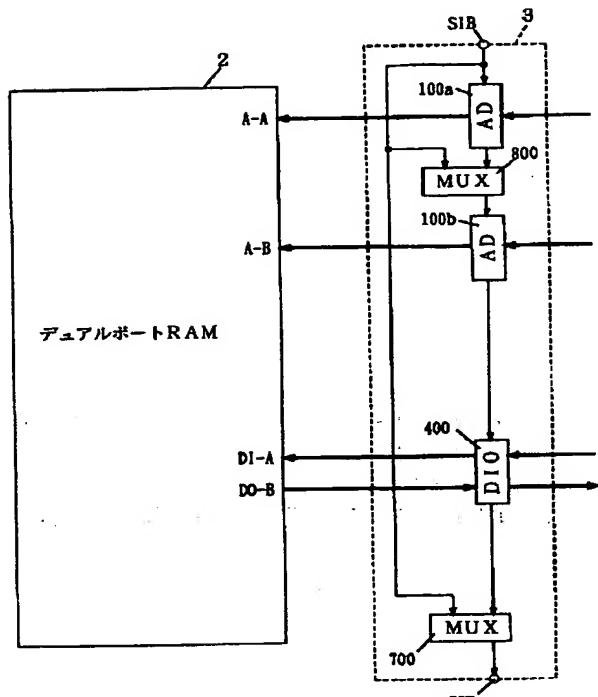
SOR シリアル出力端子

50 SCK, SCK1M, SCK2M シフトクロック

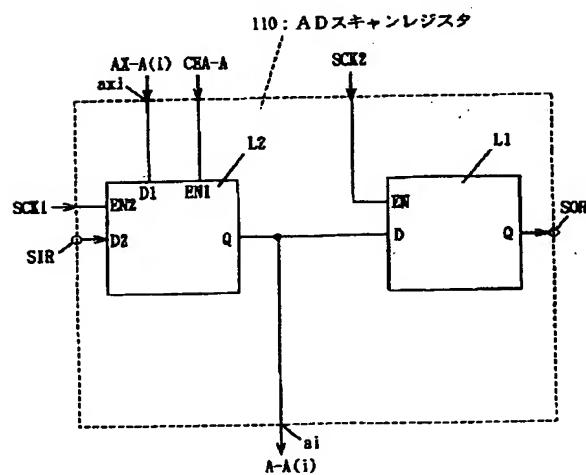
41

なお、各図中同一符号は同一または相当部分を示す。

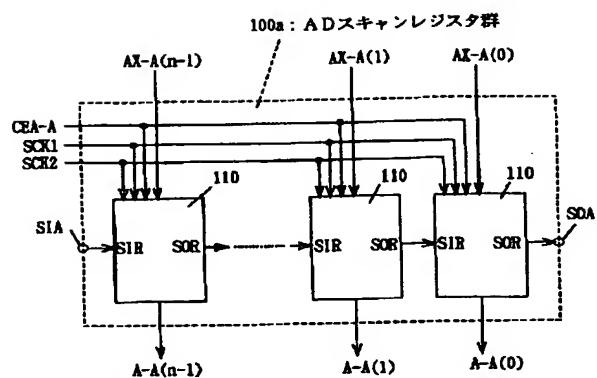
【図1】



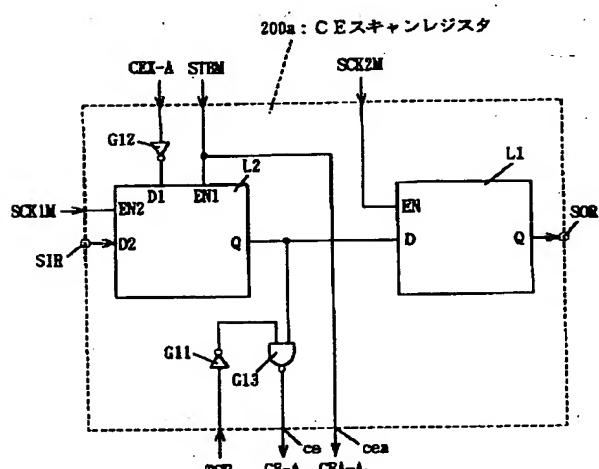
【図7】



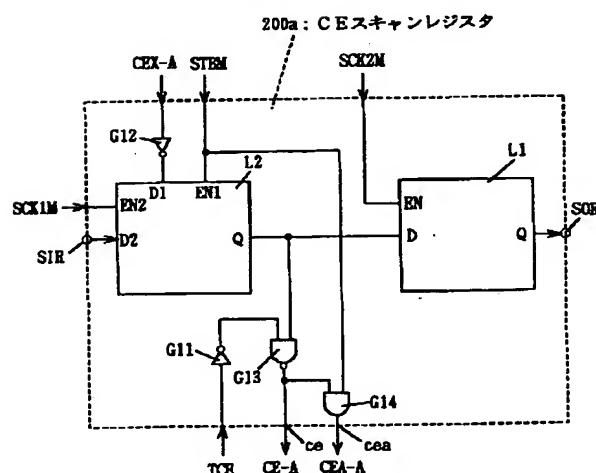
【図6】



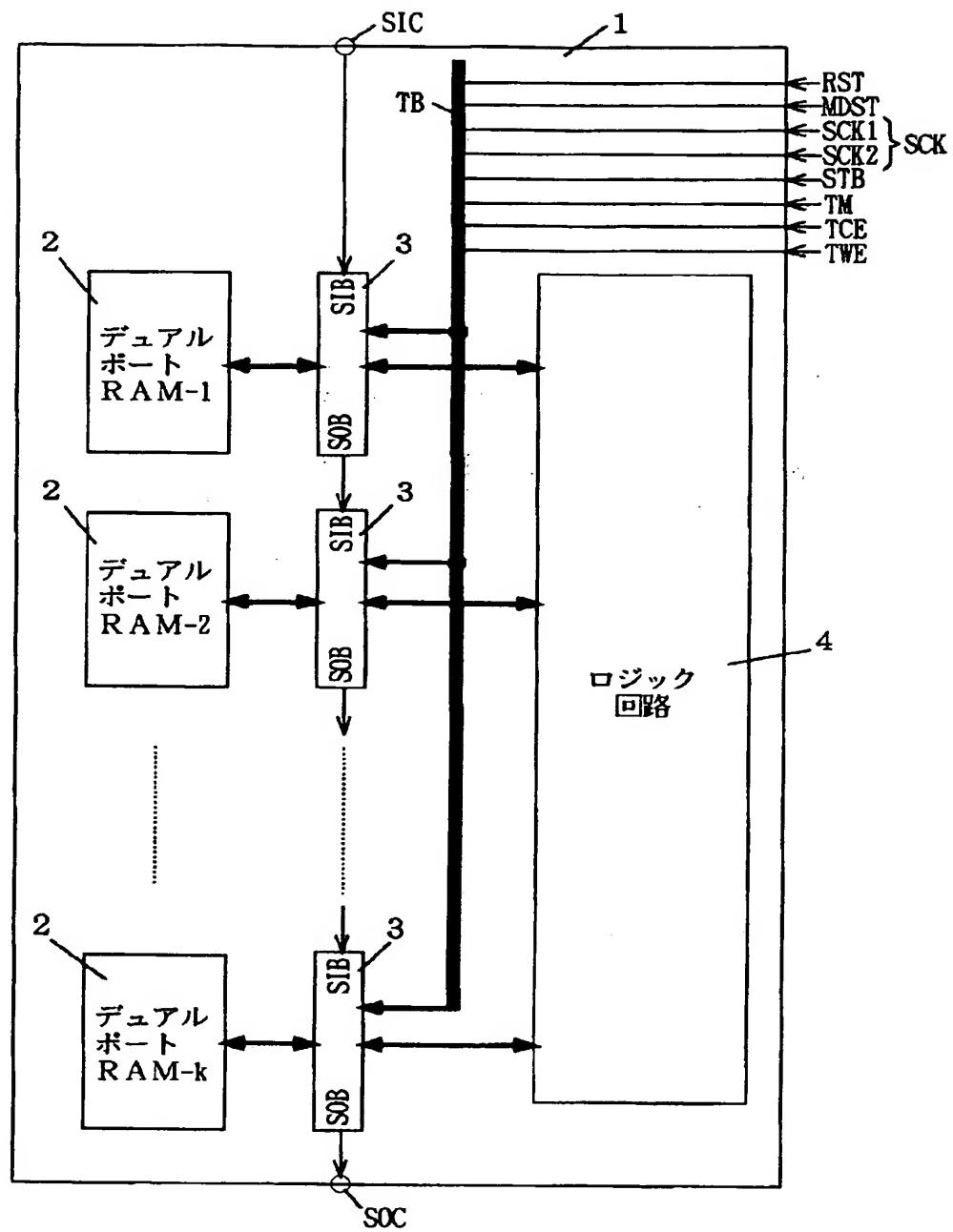
【図8】



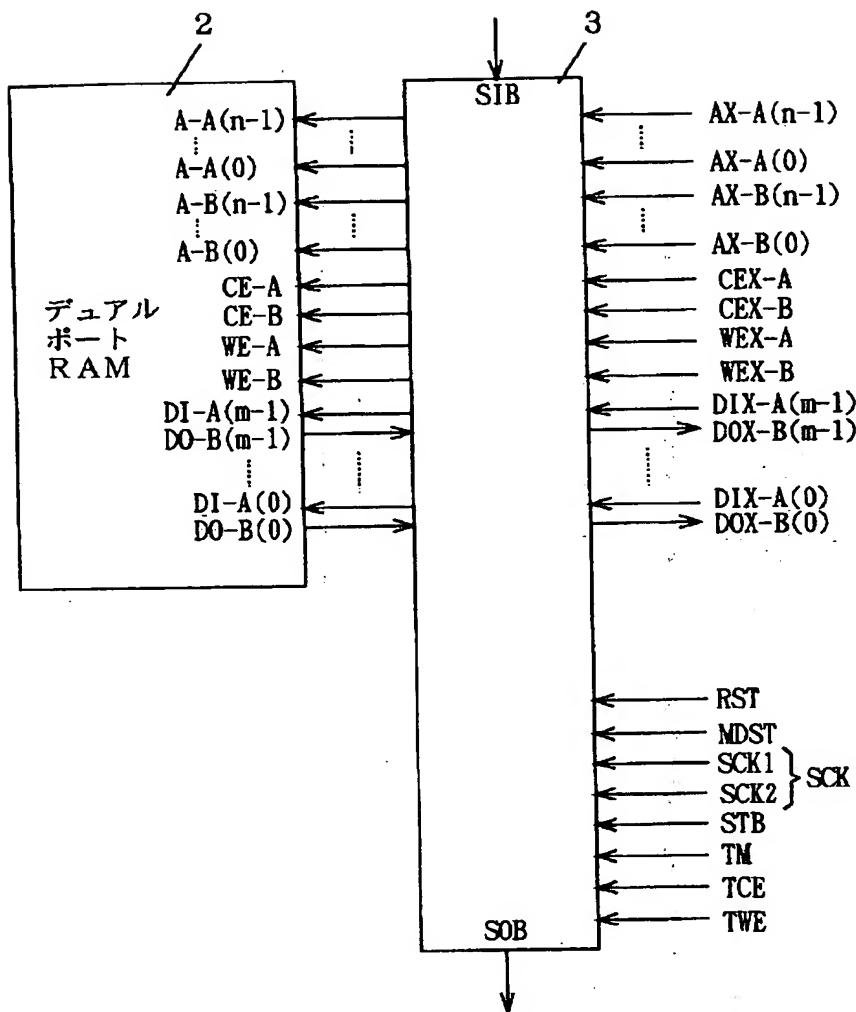
【図9】



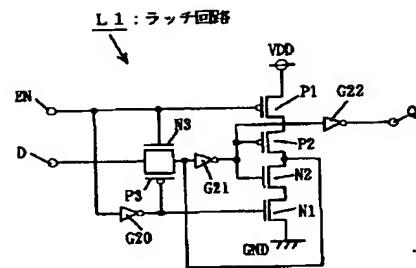
【図2】



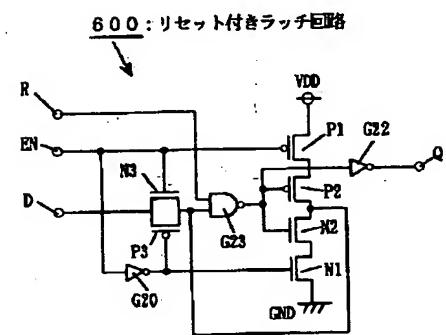
【図3】



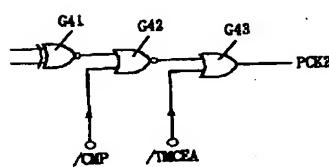
【図15】



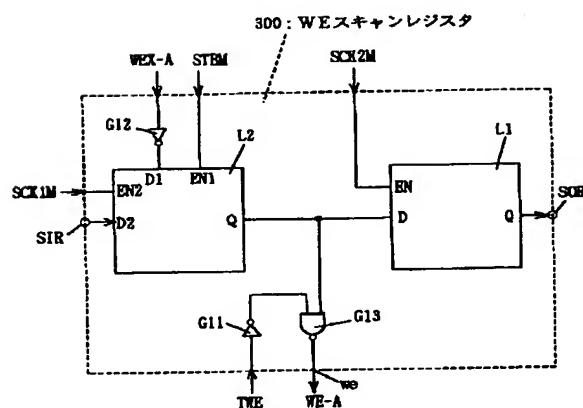
【図16】



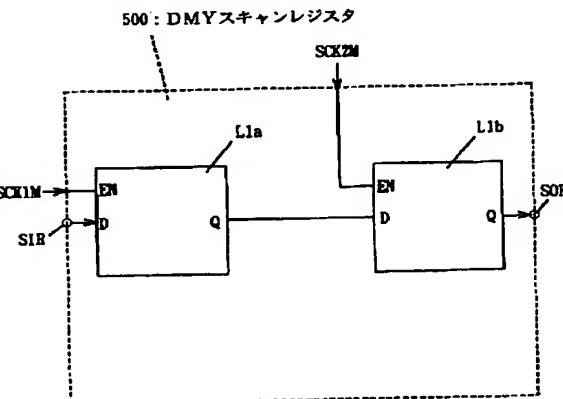
【図39】



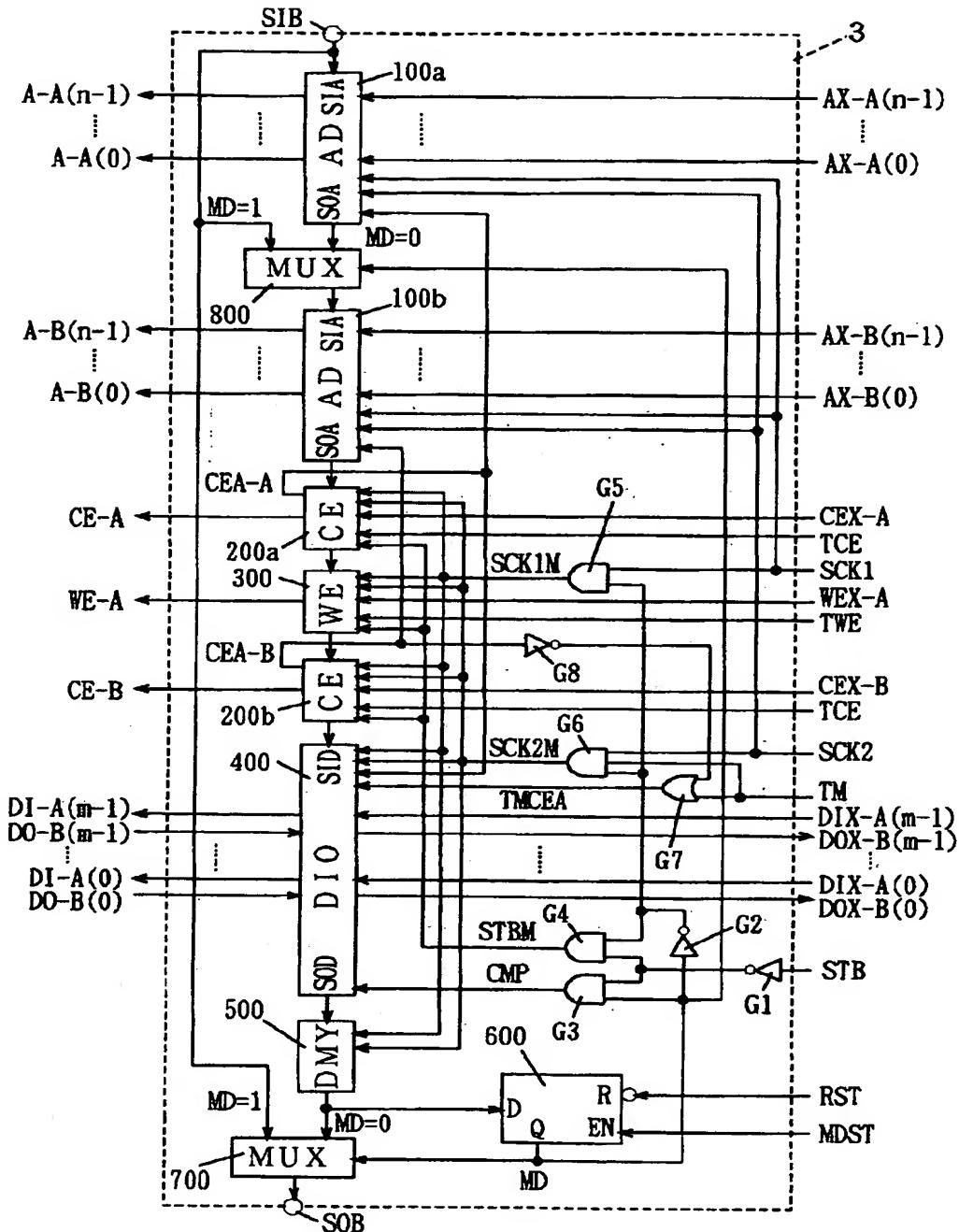
【図10】



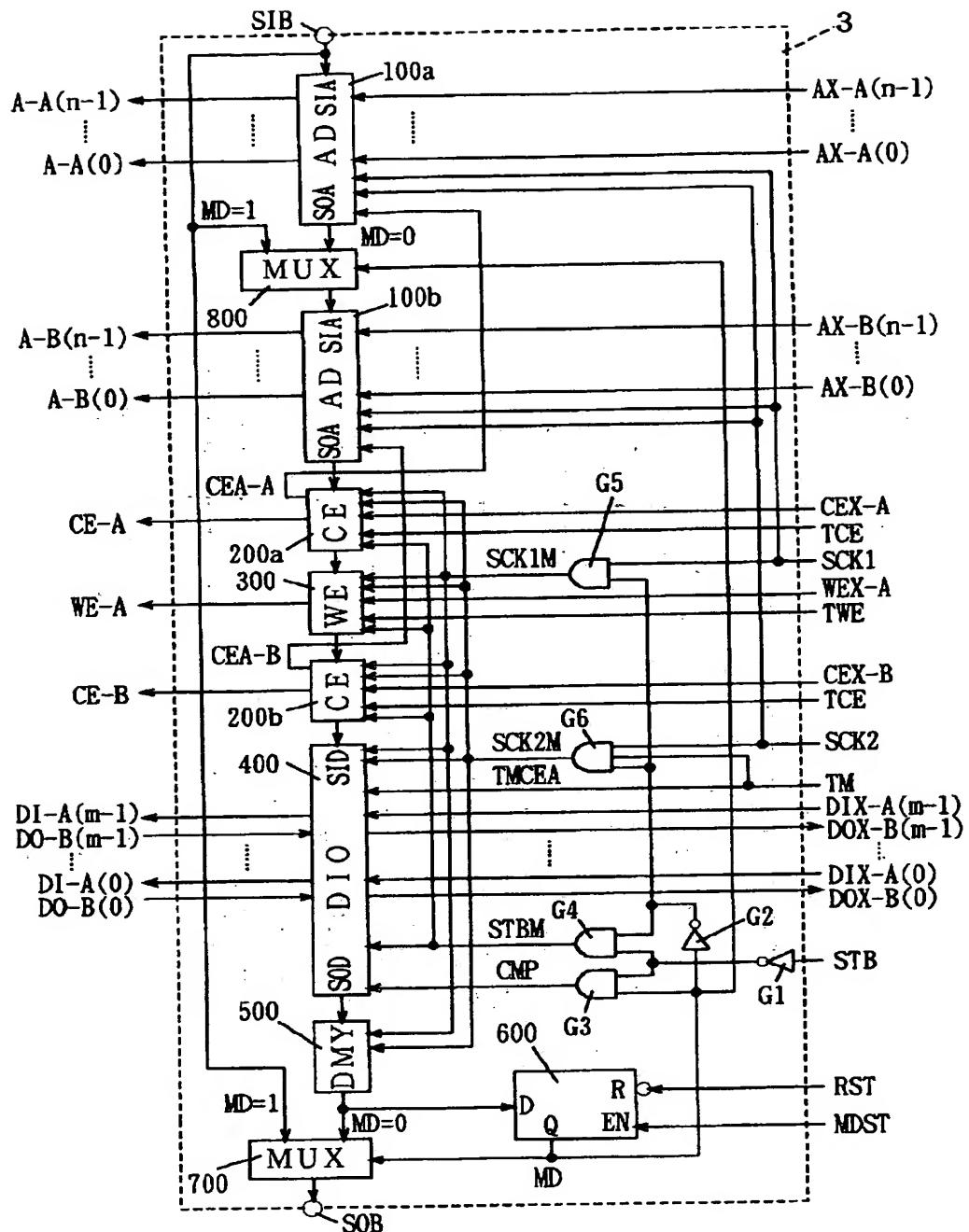
【図14】



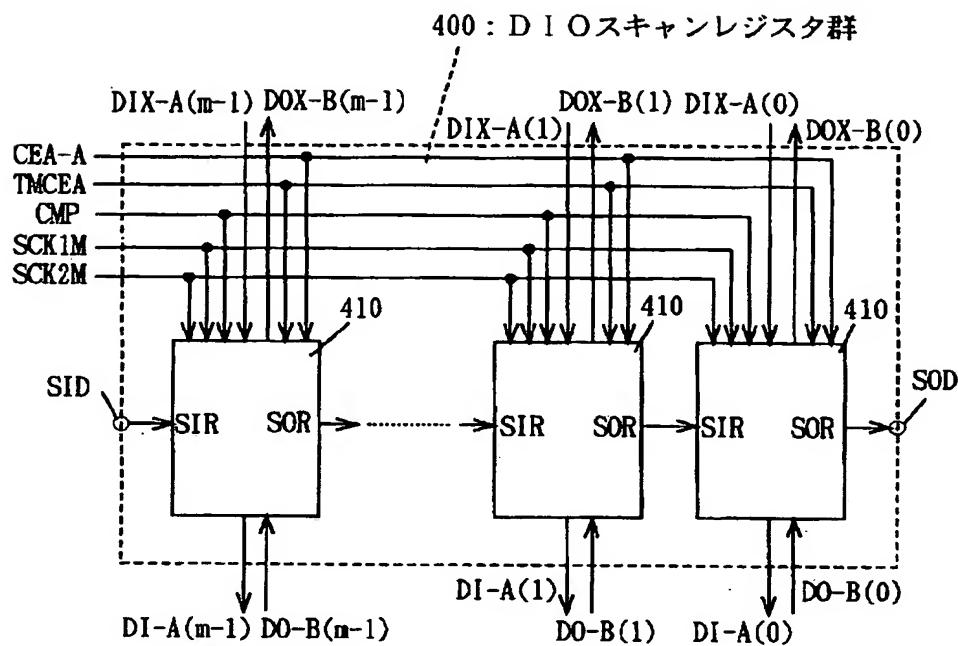
【図4】



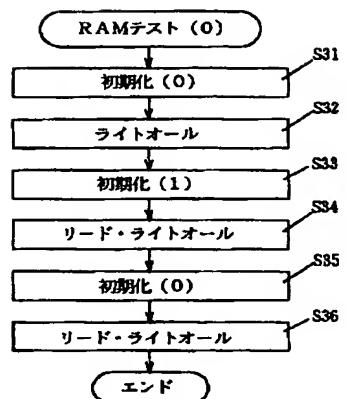
【図5】



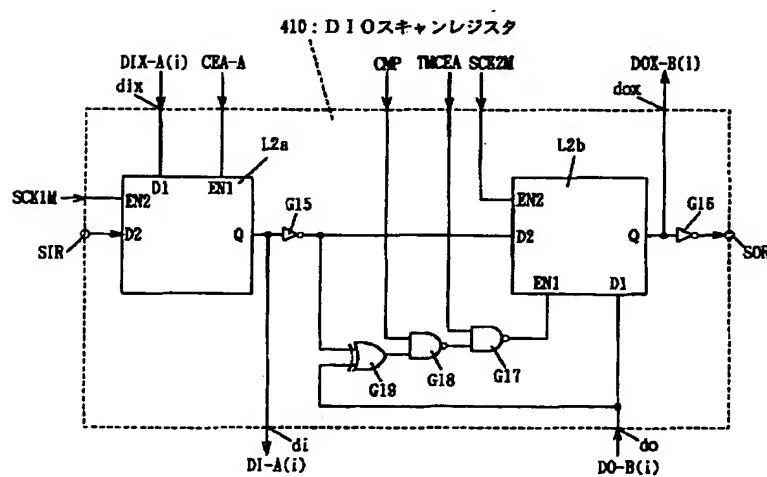
【図 1 1】



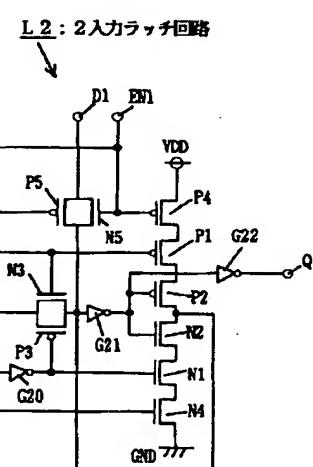
【図 2 8】



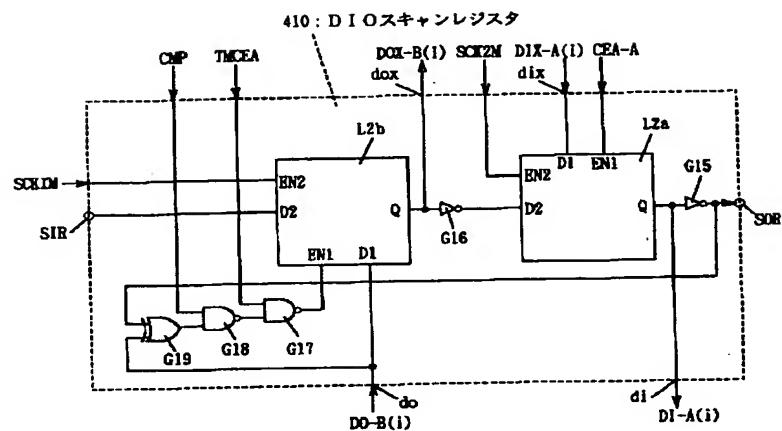
【図 1 2】



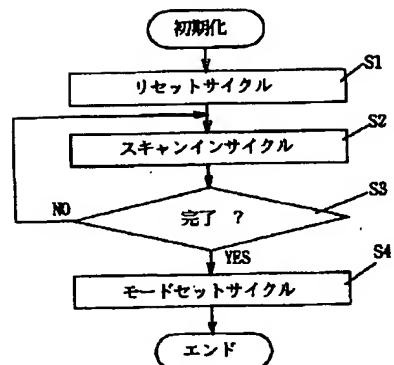
【図 1 7】



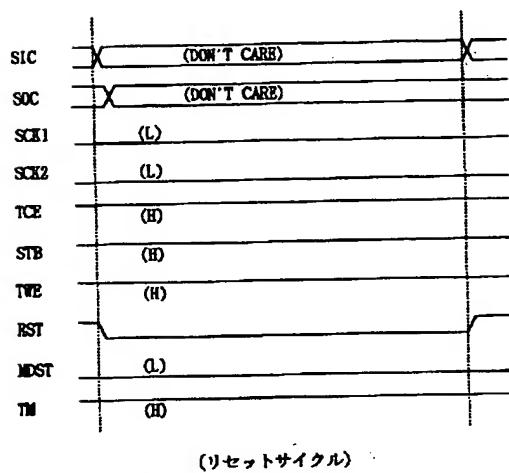
【図13】



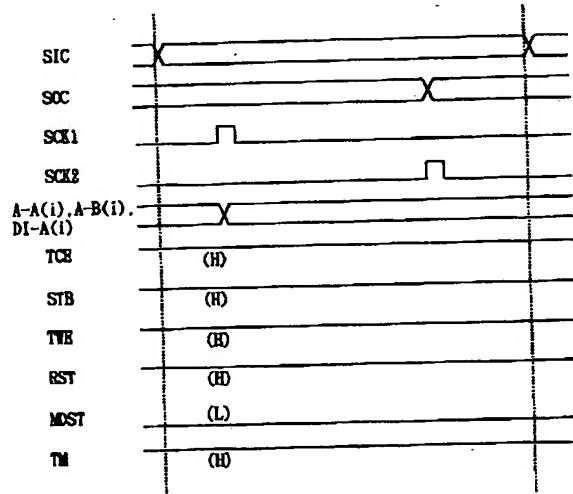
【図18】



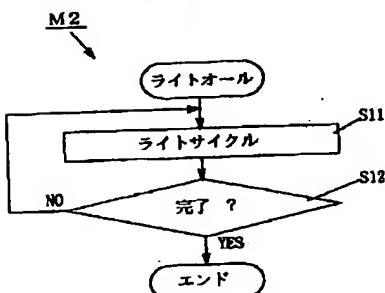
【図19】



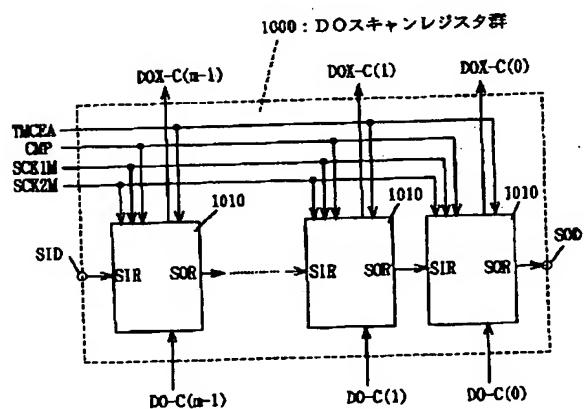
【図20】



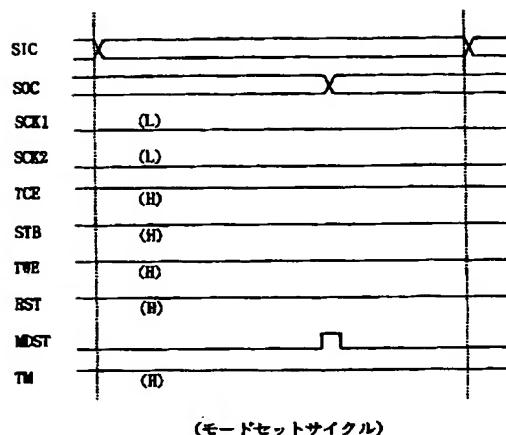
【図22】



【図31】

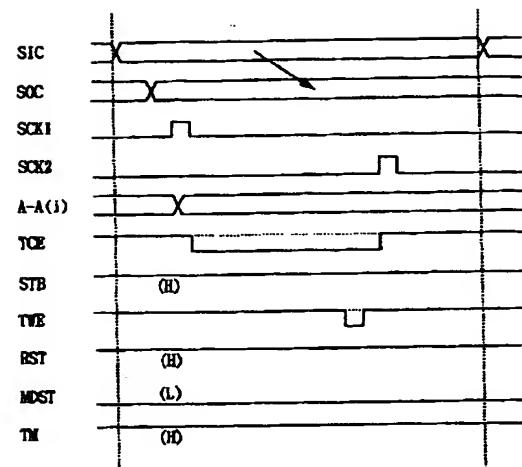


【図21】



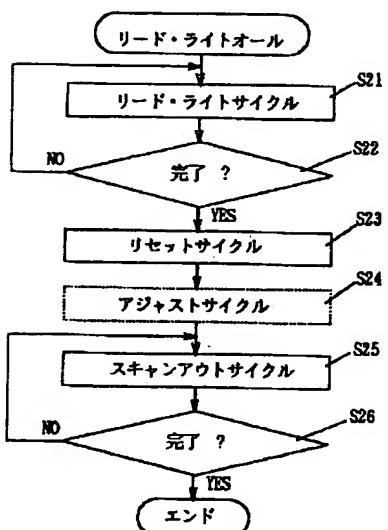
(モードセットサイクル)

【図23】

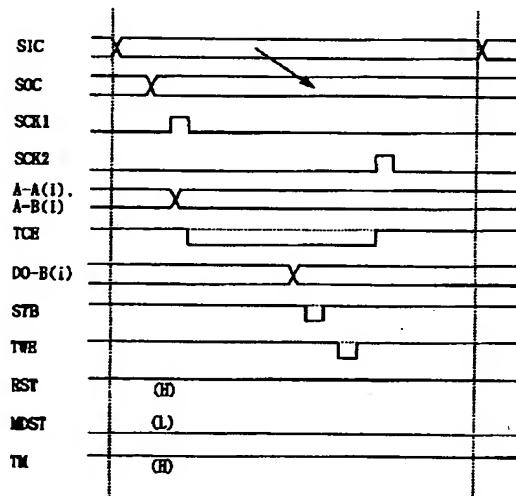


(ライトサイクル)

【図24】

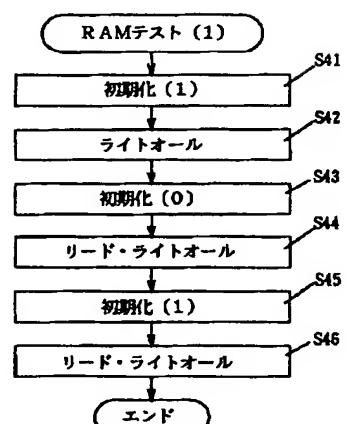


【図25】

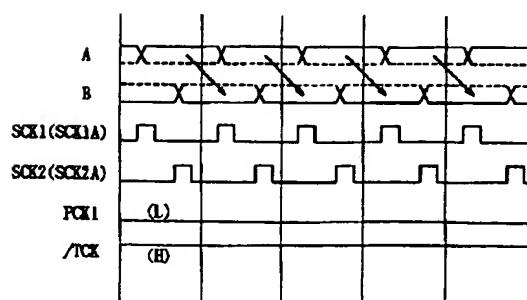


(リード・ライトサイクル)

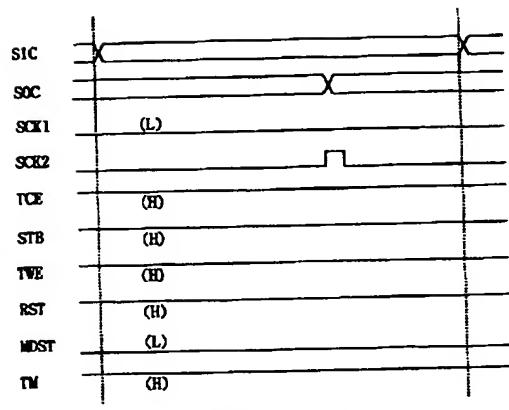
【図29】



【図44】

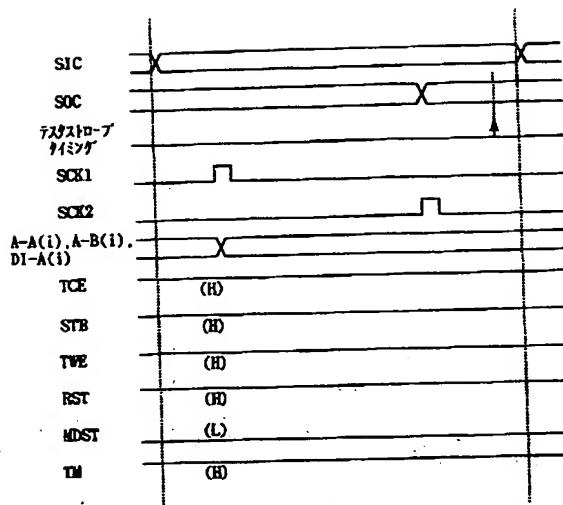


【図26】



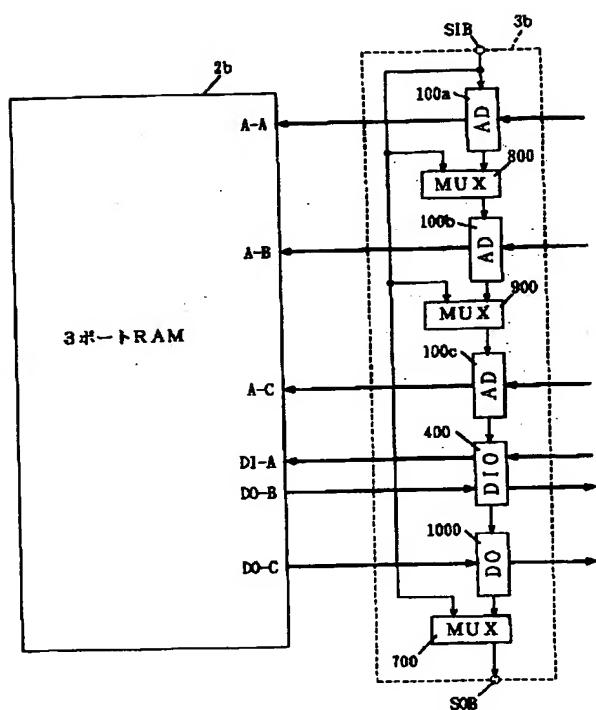
(アジャストサイクル)

【図27】

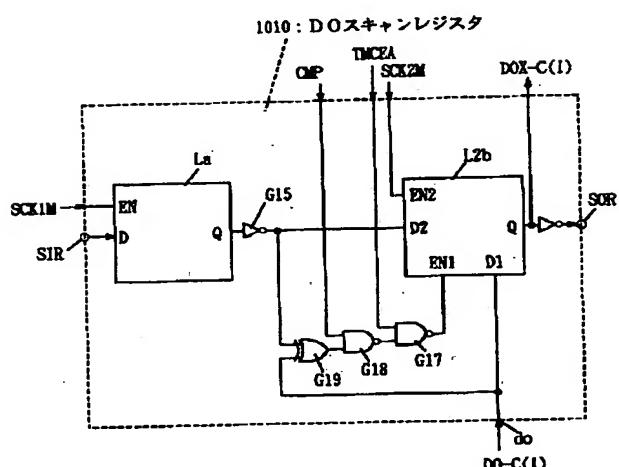


(スキャンアウトサイクル)

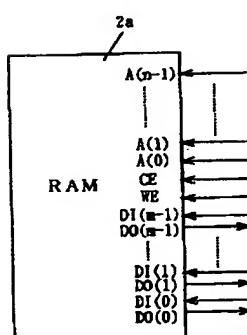
【図30】



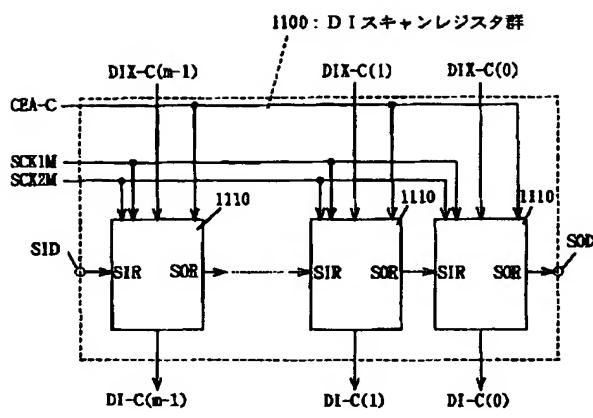
【図32】



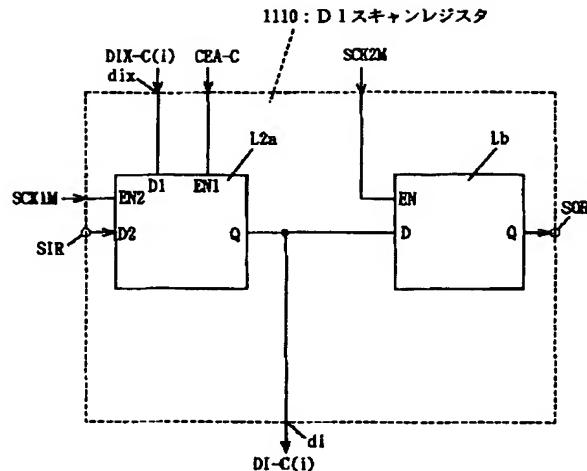
【図48】



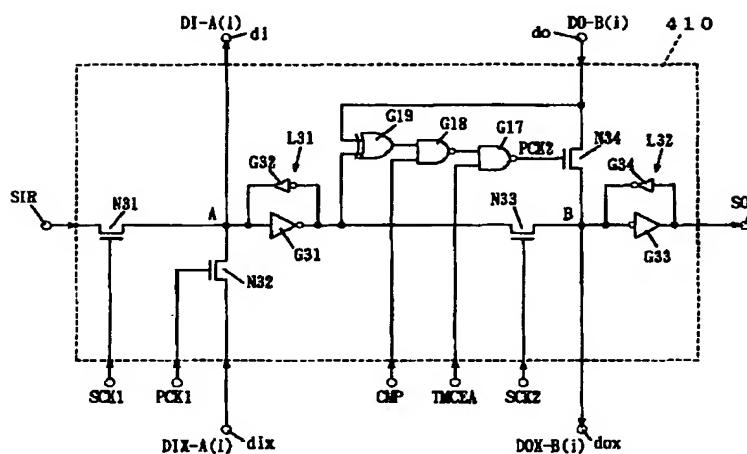
【図33】



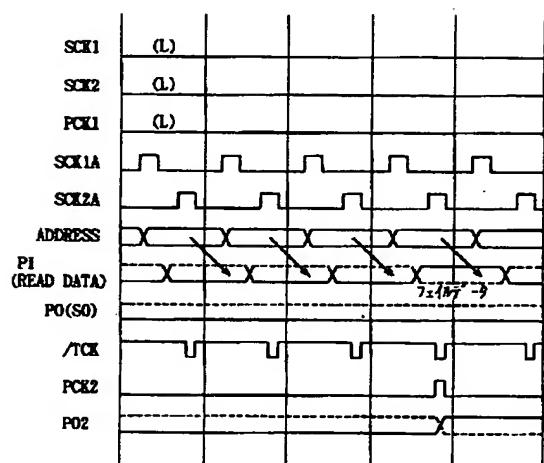
【図34】



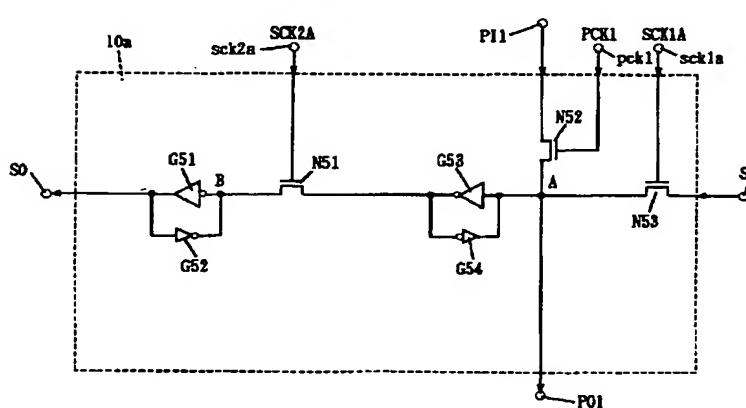
【図35】



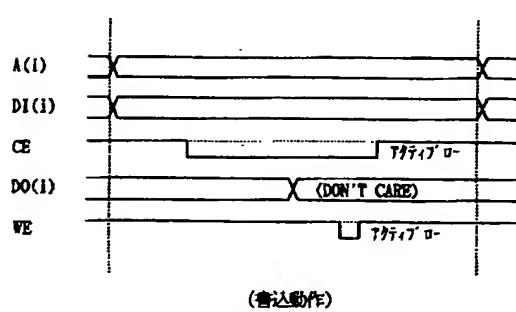
【図45】



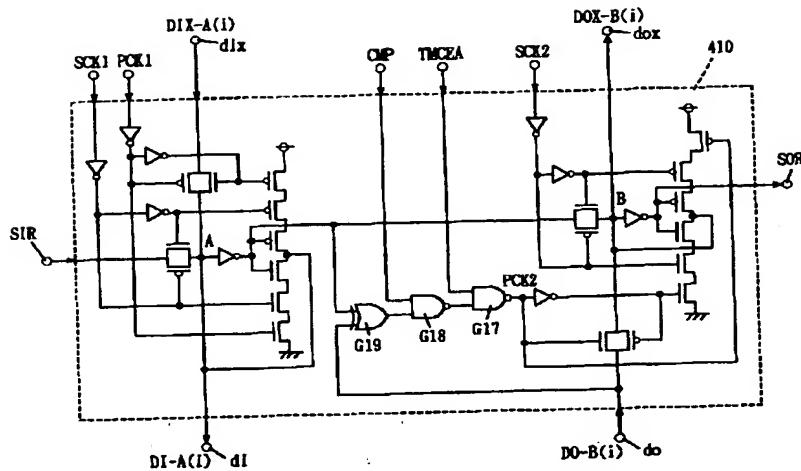
【図41】



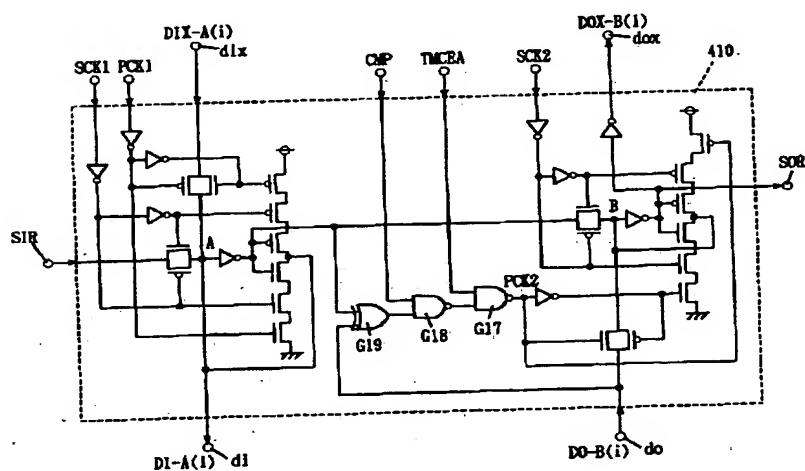
【図49】



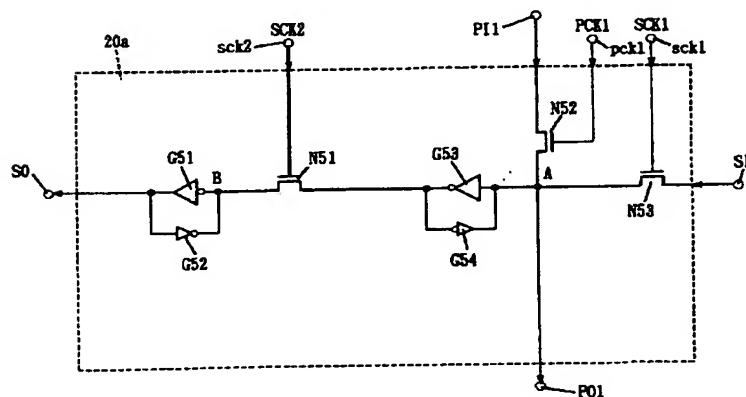
【図36】



【図37】



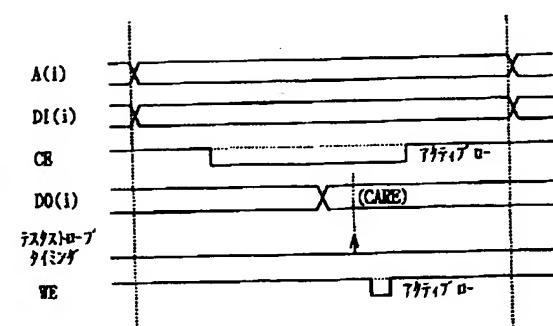
【図42】



【図51】

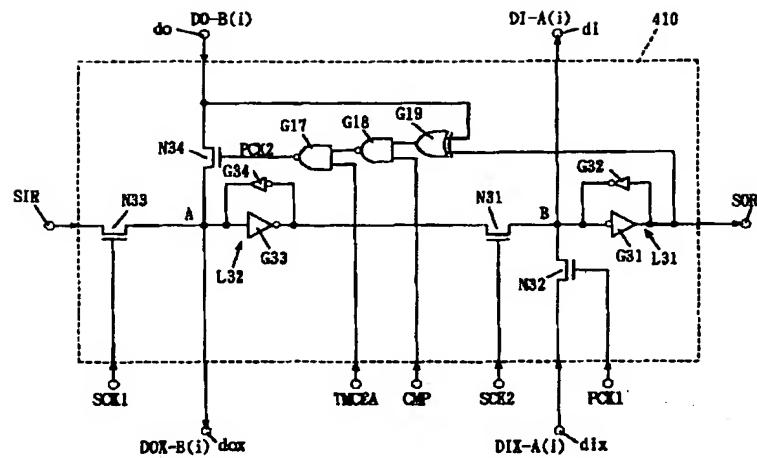
10進表示	
0001001101011110000	0
0000	0
1000	8
1100	12
1110	14
1111	15
0111	7
1011	11
0101	5
1010	10
1101	13
0110	6
0011	3
1001	9
0100	4
0010	2
0001	1

【図50】

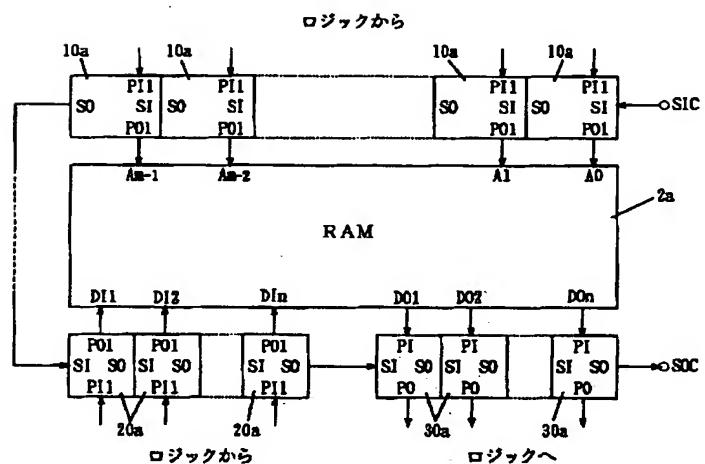


(読出・書込動作)

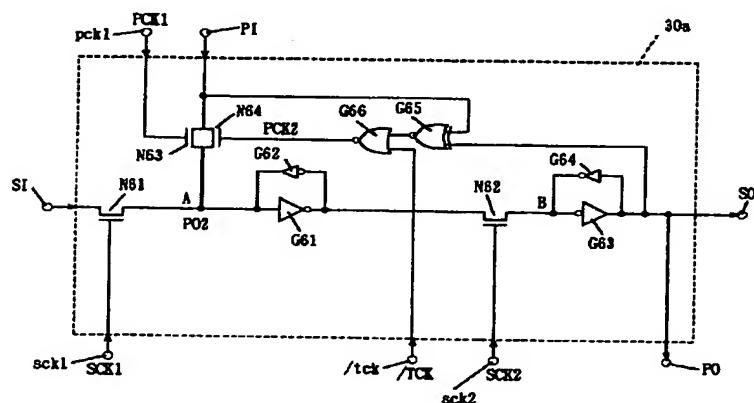
【図38】



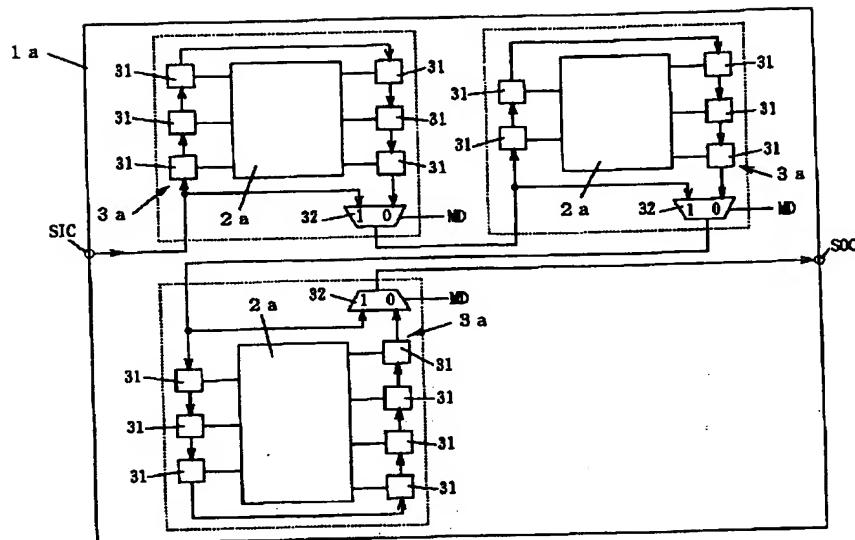
【図40】



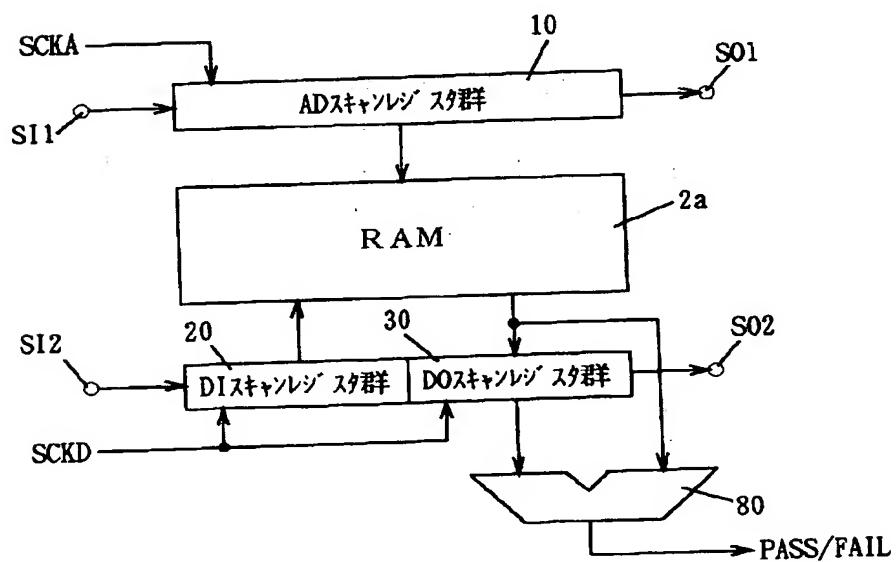
【図43】



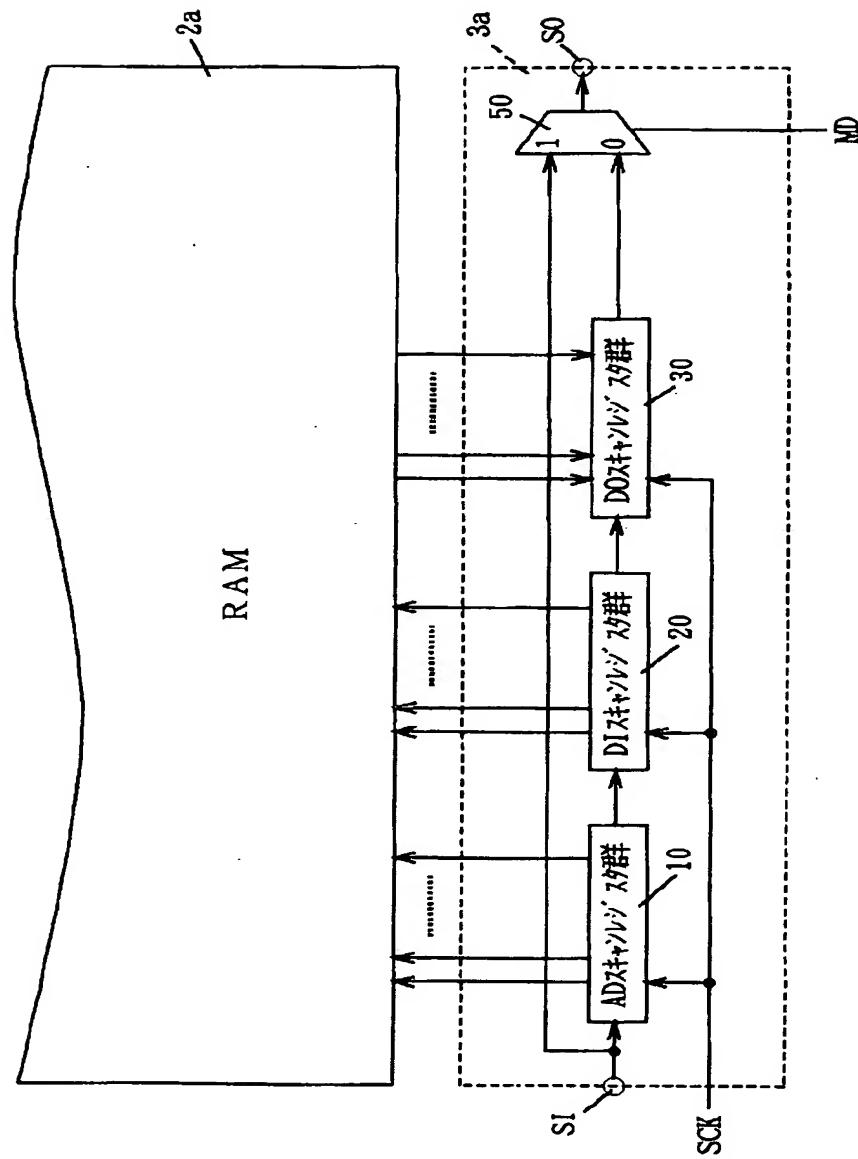
【図46】



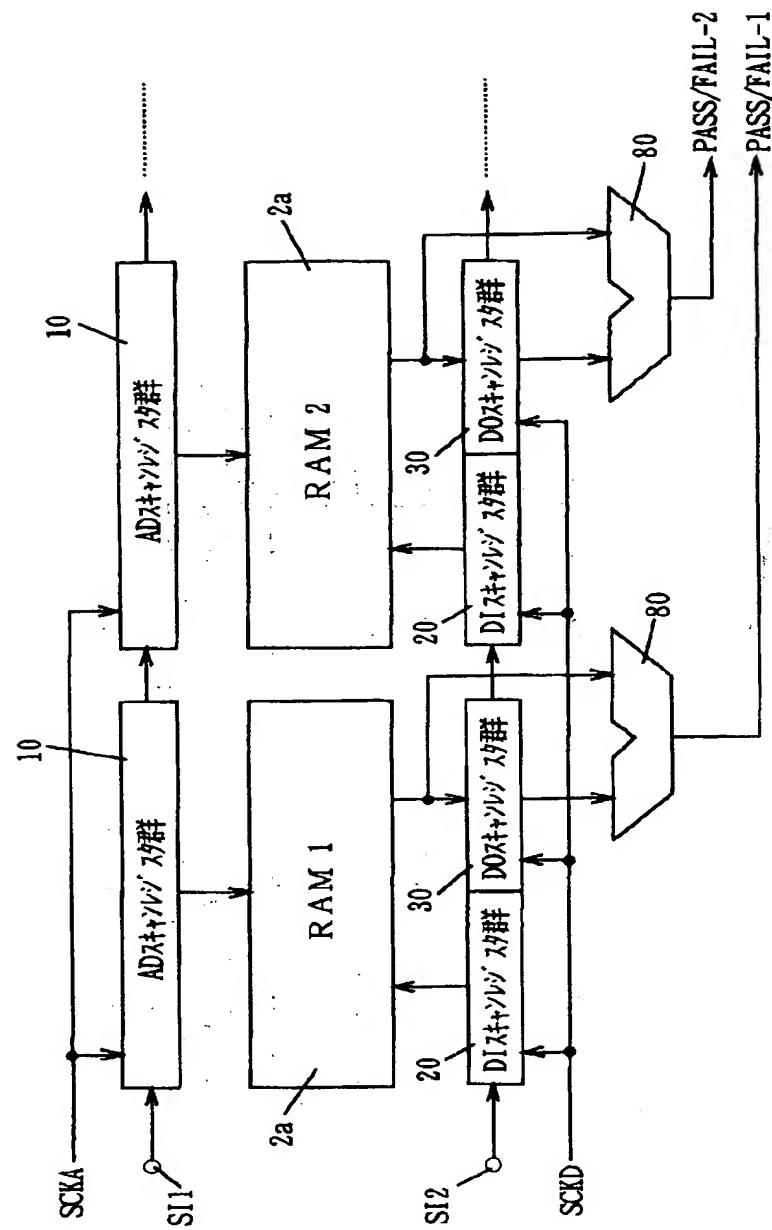
【図52】



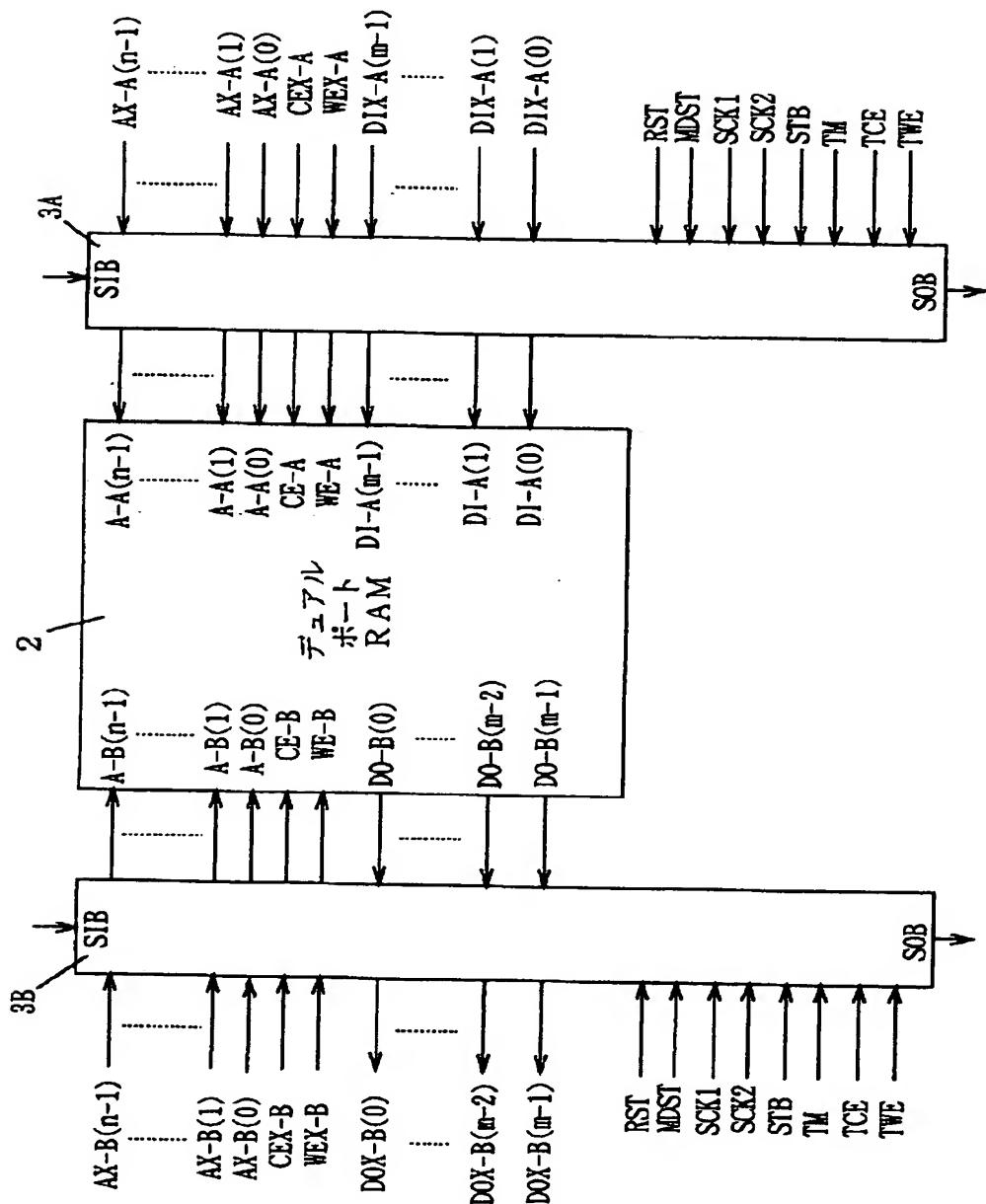
【図47】



【図53】



〔図5-4〕



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.